

卒業論文

時間領域最小距離探索連想メモリの
製造ばらつきと誤り率の関係

2000年2月16日提出

指導教官

浅田 邦博 教授 池田 誠 講師

東京大学工学部電子工学科

学籍番号 80495

大池 祐輔

目次

1	はじめに	1
1.1	研究の背景	1
1.2	本論文の構成	2
2	時間領域最小距離探索連想メモリ	3
2.1	時間領域最小距離探索連想メモリの動作原理	3
2.1.1	時間領域最小距離探索連想メモリの概要	3
2.1.2	時間領域最小距離探索連想メモリの構成	3
2.1.3	伝達時間の制御	4
2.2	時間領域における Winner-take-all Circuit	5
3	製造ばらつきと誤り率の関係の導出	6
3.1	誤り率に影響する製造ばらつき	6
3.1.1	考慮すべきパラメータの選定	6
3.1.2	各変数の寄与率の概算	7
3.2	遅延時間の理論式による解析的な評価	8
3.2.1	理論式を求める DelayChain のモデル	9
3.2.2	DelayChain の遅延時間の理論式	12
3.3	シミュレーション結果と理論式による解析の比較	13
3.3.1	遅延時間の分散の評価	15
3.3.2	遅延時間に関わる相関の評価	19
3.3.3	遅延時間の平均値の評価	19
4	誤り率の導出と設計値の予測	21
4.1	誤り率導出の前提	21
4.2	誤り率の導出方法	22
4.3	誤り率の導出および設計値の予測例	24
5	結論	28
	参考文献	29
	謝辞	30

第1章

はじめに

1.1 研究の背景

近年、マルチメディアにおける発展はめざましいものがあり、その重要性はますます大きくなってきている。しかし、現在主流のデジタルプロセッサを用いても、動き検出のような認識に関する処理を行うと実用に十分な結果を得ることは難しい。これはデジタルプロセッサが厳密な一致・不一致という判断が得意なアーキテクチャを用いており、柔軟な判断を要求される認識の分野を考慮していないからである。つまり、認識に重要な最小距離探索ではデータ量に応じて多段に比較器を構成しなくてはならず、そのため遅延時間が非常に大きくなってしまい、高速な処理を行えないのである。また、これは面積の増大にもつながる。

そこで、動き検出やデータ圧縮などマルチメディア処理を行う上で、非常に高速であり小さな面積で実現できる最小距離探索回路が必要である。このような小さく高速な距離探索回路として、 ν -MOS を利用した回路など [1][2] がいくつか考案されている。しかし、これらの技術が用いているアナログ回路は設計が難しく、複雑な製造プロセスを必要とするものが多い。

この中で、CMOS プロセスを用いた単純な論理回路だけで構成でき、高速かつ小面積な最小距離探索回路として、時間領域における最小距離探索回路 [3] がある。ただし、この回路は遅延時間の差を利用して判断をするため、製造ばらつきに対するマージンが一般のデジタル回路よりも厳密である。より高速化をめざした設計をするにはこのマージンとのトレードオフを考慮しなくてはならない。また場合によってはある程度精度を犠牲にしても、より高速な回路が要求される場合もある。したがって、精度と速度の間にある関係を把握することが必要になってくる。

本研究では、この時間領域を用いた最小距離探索連想メモリにおいて、要求される速度や誤り率といった性能を満たした上で、それらの性能の限界の設計をするために、製造ばらつきや速度と誤り率の関係を調べ、限界の設計値を予測する方法を考える。

1.2 本論文の構成

本論文の構成は、まず第2章で時間領域最小距離探索連想メモリの動作とその特徴を示し、本研究の目的を達成するためのアプローチの仕方について論じる。そして第3章では製造ばらつきから遅延時間の分布、誤り率までを求める過程についてシミュレーションとともに解析的手法を用いて示す。第4章では本研究の成果を用いて、あるプロセスを仮定したときの遅延時間の分布と誤り率を導出する。また、逆に要求された誤り率を満たす連想メモリの設計値を予測してみる。最後に第5章にて結論を述べる。

第2章

時間領域最小距離探索連想メモリ

2.1 時間領域最小距離探索連想メモリの動作原理

2.1.1 時間領域最小距離探索連想メモリの概要

まず本研究の対象としている時間領域における最小距離探索連想メモリの概要について触れる。この連想メモリはある入力データ ($DataA$) に対して、メモリに格納されているデータ ($DataB_1, DataB_2, \dots$) の中で最も類似したデータを見つけ出す回路である。対応する各 bit を XOR あるいは XNOR で一致/不一致を判断したあと、比較器を利用せずにその判断結果でパルスの伝達速度を制御し、最も伝達の速かったデータを時間領域における WinnerTakeAllCircuit を用いて最小距離のデータと判断する回路である。

2.1.2 時間領域最小距離探索連想メモリの構成

時間領域における最小距離探索連想メモリでは、データの各 bit が一致か不一致かで伝達時間を制御するが、それにはソースに負荷抵抗として FET を付加したインバータ回路を用いる。これをデータ長だけ直列につないだものを、遅延時間を制御するインバータ列としてここでは DelayChain と呼ぶ。

2bit の時間領域最小距離探索連想メモリの回路図を図 2.1 に示す。データ ($DataA$) が入力されたとき、それと SRAM に格納されているデータ ($DataB_i$) と bit 単位の相違を、XOR あるいは XNOR を用いて 1 か 0 かで表現する。この信号を DelayChain のソース抵抗を制御する FET に送り、その抵抗値をコントロールすることでインバータに入力したパルスの伝達時間を変化させるのである。

また DelayChain の高速化を図るため、奇数 bit でパルス信号の立下り時間を制御する設計にした場合、偶数 bit ではパルス信号の立ち上がり時間を制御する。このとき、奇数 bit の伝達時間を制御するためにインバータのソースに付加される FET は NMOSFET で構成され、偶数 bit においては PMOSFET で構成することになる。

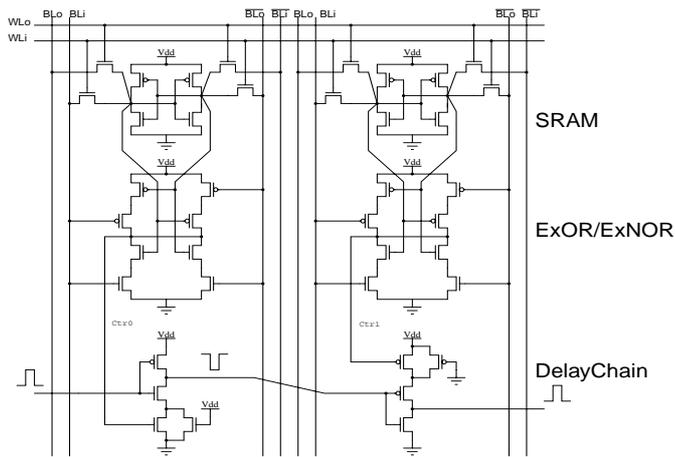


図 2.1: 2bit 時間領域最小距離探索連想メモリ

2.1.3 伝達時間の制御

データの一致・不一致で伝達時間を違いを生じさせる DelayChain の 2bit の回路を図 2.2 に示す。これはインバータ列の各々のインバータのソース側に 2 種類の抵抗値を実現できる FET がついていて、この DelayChain にパルス信号を入力したときに、この抵抗の値の選び方によって出力に 2 種類の遅延を生じさせることができる回路である。

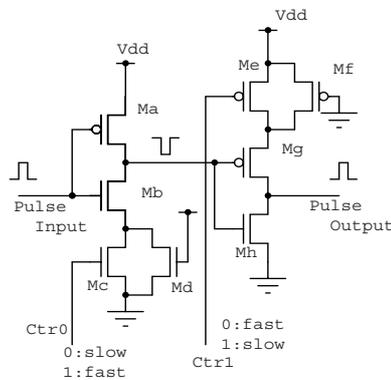


図 2.2: DelayChain(2bit)

Delay Chain の奇数 bit にはパルス信号の立ち上がりの遅延をコントロールするために、インバータの Gnd 側にプルアップされた NMOSFET と XOR から判定の信号を受ける NMOSFET の並列回路 (M_c, M_d) をつける。また、偶数 bit には立下りの速度を制御するためにインバータの Vdd 側に同様にプルアップされた PMOSFET と XNOR から判定信号を受ける PMOSFET の並列回路 (M_e, M_f) をつける。奇数 bit においてデータが不一致であった場合、判定として 0 が $Ctr0$ を通して DelayChain に送られ、 M_c が OFF になる。 M_e と M_f

が両方 ON であったときと比べて抵抗値が上がることになり遅延時間が増大することになる。偶数 bit も同じ原理である。

このように n bit のデータを比較した際、各 bit での一致のときのインバータの遅延を t 、不一致のときに生じる遅延のを Δt で、 d bit の不一致があったとき、Delay Chain を通るパルス信号の遅延時間 T は以下の式となる。

$$T = n \cdot t + d \cdot \Delta t$$

もっとも近いデータを選び出すとき、つまり d が最も小さいものを選ぶとき、この Delay Chain を通過してきた出力パルスの到着が最も速いもの (T が最小のもの) を選び出せばいいことがわかる。この Word ごとに異なる伝播時間の中から最も速いものを選び出す回路に後述する時間領域における Winner-take-all Circuit がある。

2.2 時間領域における Winner-take-all Circuit

各 DelayChain を通過してきたパルス信号の出力のうち、最も速かったものを選ぶ 時間領域における Winner-take-all Circuit の回路を図 2.3 に示す。これは非同期 SR-flip flop をカスケード接続したものであり、DelayChain からの出力はそれぞれ $P_0 \dots P_m$ に接続される。

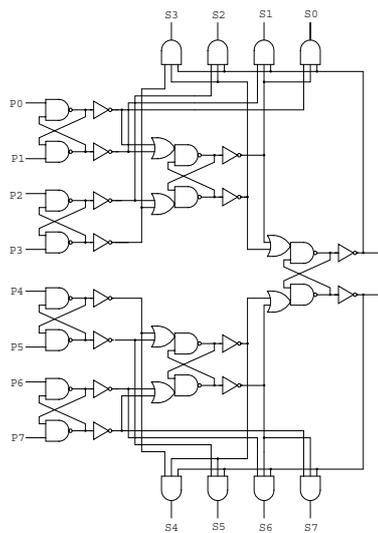


図 2.3: Time-Domain winner-take-all circuit

それぞれの非同期 SR-flip flop は 2 つの Word の DelayChain からの信号のうち、先に到着した信号により瞬時に Active になり、次の段へと出力を送る。このようにして最も速かったパルス信号は各 SR-flip flop で勝ちあがり最終段の AND によって、最速の入力に対応する S_i だけが Active になる。

このように各 Word のハミング距離の大小を非同期で判断していくために、最もハミング距離に近いデータのパルス信号が到着した時点で、ほかのデータのパルス信号を待たずに結論を出せるので、高速に最小距離のデータを見つけ出せる。

第3章

製造ばらつきと誤り率の関係の導出

3.1 誤り率に影響する製造ばらつき

3.1.1 考慮すべきパラメータの選定

現実のデバイスプロセスではリソグラフィ技術やエッチングなどの精度から、トランジスタのサイズはもちろん酸化膜厚や不純物濃度、それらと関係して移動度やゲート容量などのデバイスパラメータがばらつく。対象とするデバイスプロセスのこれらのデバイスパラメータのばらつきを知ることで誤り率を求めることができると考えられるが、ここに挙げたような全てのデバイスパラメータのばらつきを実際に測定するのは非常に困難である。さまざまな時間領域最小距離探索連想メモリを実際に作成し測定するのよりは、はるかに容易に評価できることが必要である。よって、プロセスのばらつきの測定方法までを考慮にいれて、十分な精度を保ちつつ容易に誤り率を評価できるようにプロセスのばらつきを考えなければならない。

誤りは製造プロセスのばらつきによって、DelayChainの各bitにおける一致や不一致のときの遅延時間が少しずつ異なることによって生じる。このような遅延時間のずれがnbitのDelayChainを通過したとき累積され、ハミング距離が違ふことによる遅延時間差よりも大きくなってしまったときに判定を誤るとことになる。したがって、遅延時間がどのようなデバイスパラメータによって主に決定されるのかを考えることで考慮すべきパラメータを絞ることができる。とわかる。

DelayChainの遅延時間の発生は、基本的にはインバータ回路と同様で、奇数bitにおいては負荷容量に蓄えられた電荷が入力信号が入ったときに放電される時間である。よって主に各FETに流れる電流とその閾値、負荷容量の大きさが遅延時間を決めると考えられる。それらのパラメータを決定するデバイスパラメータであるFETのチャンネル長やチャンネル幅、酸化膜厚、移動度の製造ばらつきが遅延時間のばらつき、ひいては誤り率に反映されていると判断できる。この関係を図3.1にまとめておく。

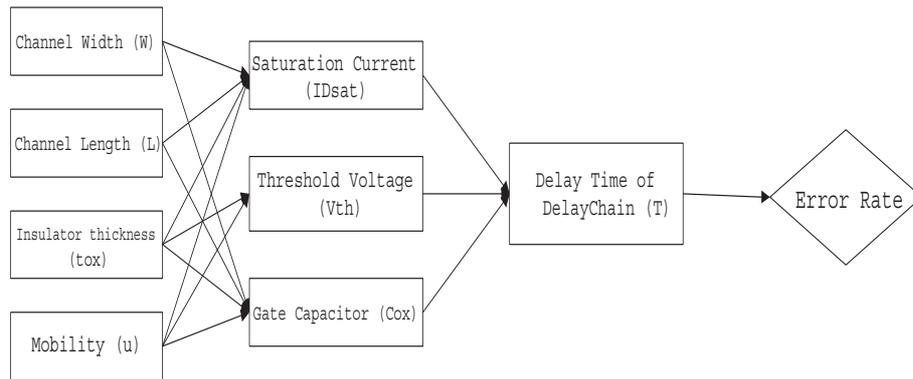


図 3.1: 誤り率への主な製造ばらつきの影響経路

誤り率を予想する、あるいは誤り率から設計値を決める際に、FETのサイズといった設計時に任意に定められる値を、プロセスが持つ各パラメータのばらつきと両方を知っておく必要がある。プロセスの持つばらつきとして図 3.1 における左の4つのパラメータのばらつきを知る必要があるが、これらを測定するのは容易ではない。そこでチャンネル長や移動度などのばらつきが反映される「飽和電流 (I_{Dsat})」「閾値 (V_{th})」「ゲート容量 (C_{ox})」をプロセスの持つばらつきのパラメータと考えることもできる。あるサイズの FET のウェハ面内における飽和電流などのばらつきを調べるのは比較的容易である。

3.1.2 各変数の寄与率の概算

プロセスの持つばらつきの各パラメータがどのくらい遅延時間に反映されているのかをシミュレーションを用いて概算してみる。奇数 bit の立下り時間について見てみると、図 3.2 に示すように、負荷容量の電荷の放電に関わる3つの MOSFET のそれぞれの飽和電流と閾値、次段の負荷容量の大きさといった7つのパラメータが主にに関わり、これらのばらつきが遅延時間のばらつきに反映される。

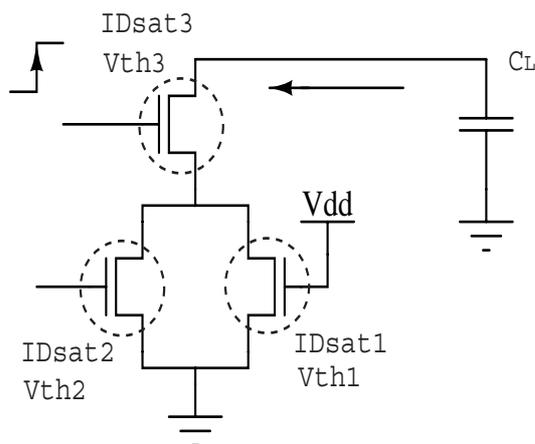


図 3.2: 遅延時間に反映するパラメータ

HSPICE を用いてこの7つのパラメータをひとつずつ独立に変動させ、遅延時間との関係を調べ、多変量変数における重回帰分析 [4] を行う。正規化した各説明変数 x_i (飽和電流など)、目的変数 y (遅延時間) として

$$y = b_1x_1 + b_2x_2 + b_3x_3 + \dots$$

のような重回帰式を立て、標準偏回帰係数 b_i の比を寄与率として考える。ただしこの概算においては各変数を独立と考えている。この値は各変数が変動したときに、その変化が遅延時間の変動に及ぼす影響の割合を示している。

	I_{Dsat1}	I_{Dsat2}	I_{Dsat3}	V_{th1}	V_{th2}	V_{th3}	C_L
寄与率	0.175	0.134	0.404	0.018	0.016	0.043	0.212

表 3.1: 各説明変数の変動の遅延時間への寄与率の概算

飽和電流と閾値、負荷容量の遅延時間の影響と考えたとき、それぞれ 71.3%、7.7%、21.2% となる。これは閾値が電源電圧 V_{dd} との差として遅延時間に作用することを考えると、 $V_{dd} - V_{th}$ の分散は閾値そのものの分散よりも小さくなるといった直感的な結果と一致する。また現実には閾値の変動は飽和電流の変動にも含まれているため説明変数としての閾値の寄与率は相対的により小さいものとなると考えられる。

3.2 遅延時間の理論式による解析的な評価

プロセスのばらつきが与えられたときにその遅延時間の分布を求める方法として、シミュレーションを用いて、個々のパラメータがある設計値で変動したときの遅延時間の変動を全て調べ、それをテンプレートとして任意の設計値における遅延時間への寄与率を導くという方法が考えられる。

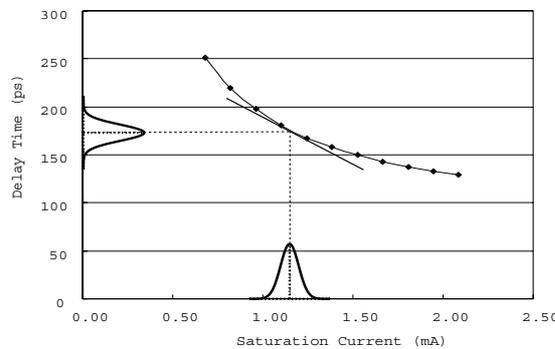


図 3.3: シミュレーションによる I_{Dsat3} と遅延時間の関係

たとえば、 I_{Dsat3} のみを独立に変動させることで得られる遅延時間との関係 (図 3.3) では、ある設計値において I_{Dsat3} が $N_1(\mu_1, \sigma_1^2)$ という分布と持つと測定されたとき、その平均 μ における傾きを利用して遅延時間の分布 $N_2(\mu_2, \sigma_2^2)$ という分布が求まる。このように各パラメータ毎に求めた遅延時間の分布とそれらの相関から、DelayChain の遅延時間の確率分布が求まることになる。

しかし、このようなシミュレーションによる結果に頼った方法には問題がある。

- 膨大なシミュレーション結果が必要
- プロセスが変わると全てのシミュレーションが再度必要

つまり、7次元あるいは寄与率から閾値を省くことができたとしても4次元であることから、さまざまな設計値における遅延時間を知るためには膨大なシミュレーションを行いテンプレートを完成させる必要がある。また、今回は ROHM 社の 0.6μ プロセスをベースに考えているが、別のプロセスを利用する際にシミュレーションで作ったテンプレートを全て作りなおさなくてはならない。したがって、シミュレーションだけでなく DelayChain の遅延時間の平均値や分散がうまく表現できるような理論式を近似的に用意し、できる限り少ないシミュレーションで自由度の高い予測系を作ることが必要になってくる。

3.2.1 理論式を求める DelayChain のモデル

DelayChain の遅延時間の理論式を求めるために、DelayChain を近似モデルを考える。遅延時間は次の段の負荷容量に蓄えられた電荷が放電/充電される時間であり、一般的なインバータの立下り動作においては、電圧-電流特性を $I_D = f(V_{DS}, V_{GS})$ としたとき、

$$C_L \frac{dV_{out}}{dt} = -f(V_{out}, V_{DD}) \quad (3.1)$$

この微分方程式から初期値 $V_{out}(0) = V_1$ として、遅延時間の式

$$t(V_{out}) = C \int_{V_{out}}^{V_1} \frac{dV}{f(V, V_{DD})} \quad (3.2)$$

を得る。また、電圧-電流特性の比較的簡単な近似式であるショックレイの式

$$I_D = \begin{cases} \beta_n((V_{GS} - V_{th})V_{DS} - \frac{1}{2}V_{DS}^2) & , V_{DS} < V_{GS} - V_{th} \\ \frac{1}{2}\beta_n(V_{GS} - V_{th})^2 & , V_{DS} \geq V_{GS} - V_{th} \end{cases} \quad (3.3)$$

を利用する。

ここで β_n はゲート幅を W 、チャネル長を L 、単位面積当たりのゲート容量を C_0 、n 型半導体の電子移動度を μ_n として

$$\beta_n = \frac{\mu_n C_0 W}{L} \quad (3.4)$$

と表され、これを用いて式 (3.1) の積分を解くことができる。

ここで出力電圧 V_{out} が V_{DD} の 90% から 10% まで落ちる時間を立下り時間とすると、その立下りの大部分は線形領域における動作であるため遅延時間 T は以下の式で表される。このインバータの遅延時間では簡単のため閾値 $V_{th} = 0.1V_{DD}$ とおいている。

$$\begin{aligned}
 T_n &= \frac{C}{\beta_n} \int_{0.1V_{DD}}^{0.9V_{DD}} \frac{dV}{(V_{GS} - V_{th})V - V^2/2} \\
 &= \frac{C}{\beta_n} \int_{0.1V_{DD}}^{0.9V_{DD}} \frac{dV}{(0.9V_{DD} - 0.1V_{DD})V} \\
 &= \frac{2C}{\beta_n V_{DD}} \int_{0.1}^{0.9} \frac{dv}{(1.8 - v)v} \\
 &\simeq \frac{2C}{\beta_n V_{DD}} \times 1.574 \\
 &\simeq \frac{3C}{\beta_n V_{DD}}
 \end{aligned} \tag{3.5}$$

と求めることができる。

さて、DelayChain に置いても同様に負荷容量に蓄えられた電荷が放電される過程を考えることでその遅延時間を求めることができると考えられる。簡単のため比較するデータ bit が不一致のとき、すなわち図 3.4 の M_2 へ送られる判定信号が "0" で M_2 が OFF になる場合について考え、後から M_2 が ON のときにも適用可能かを検討する。

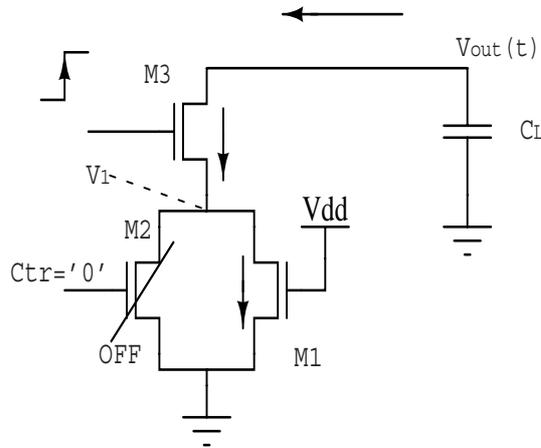


図 3.4: 奇数 bit の DelayChain の動作 (データ不一致時)

ここで先ほどのインバータと同様な解析を行うとき、遅延時間は主に M_3 の FET によるためその電流-電圧特性 $I_3(V_{out})$ を用いて微分方程式を解くことになる。しかしこの回路ではインバータと違い、 M_3 と M_1 の中間ノード電位である V_1 (図 3.4) が存在するため、 V_{out} と M_3 のドレイン-ソース電圧 V_{DS3} がインバータのように一致しない。また、ゲート-ソース電圧 V_{GS3} もインバータでは信号電圧が V_{DD} のとき $V_{GS} = V_{DD}$ であったのに対して、 $V_{GS3} = V_{DD} - V_1$ となり時間の関数になる。よって、 M_3 に流れる電流 I_{D3} と M_1 に流れる電流 I_{D1} は次のような式で表現できる。

$$I_{D3} = \beta_3 \left\{ (V_{DD} - V_1 - V_{th}) (V_{out} - V_1) - \frac{1}{2} (V_{out} - V_1)^2 \right\} \quad (3.6)$$

$$I_{D1} = \beta_1 \left\{ (V_{DD} - V_{th}) V_1 - \frac{1}{2} V_1^2 \right\} \quad (3.7)$$

となる。さらに $I_{D3} = I_{D1}$ であることから、 $V_1 = \alpha V_{out}$ としたときの V_1 と V_{out} の電圧比 α を求めることができるはずである。これよりインバータと同じ微分方程式が解けるはずだが、この α を実際に求めると V_{out} を含む複雑な関数になり微分法を解析的に解くことは困難である。

各パラメータの分散から遅延時間の分散を解析的に求めるためには、できるだけ簡単な理論式を用意する必要があるため、必要な情報を的確に表せるというところに重点を置いて適当な近似モデルを考える必要がある。

そこで先ほど解析的に解く上で問題になった M_3 と M_1 にかかる電圧の比を、時間に無関係な一定値とする近似について考えた。その電圧比については図 3.5 のように FET を抵抗として、さらに各 FET がピンチオフのときの抵抗値を用いて、その比が時間に関係なく立下り動作中に保たれるという近似を行う。

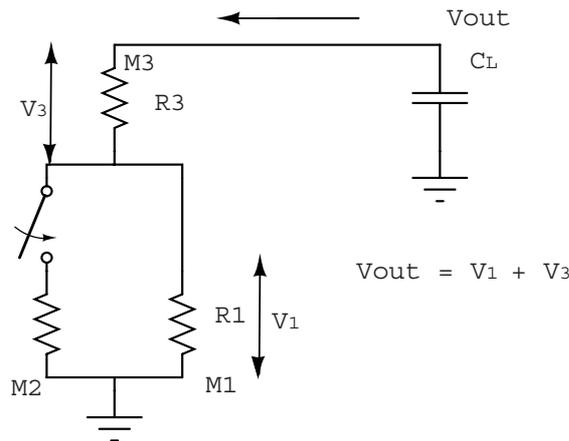


図 3.5: 動作中の V_{DS3} と V_{DS1} の比を求めるためのモデル

M_3 にピンチオフ時にかかる電圧は $V_{p3} = V_{DD} - V_{th3}$ である。このときに流れる電流は飽和電流 I_{Dsat3} である。 I_{Dsat3} は

$$I_{Dsat3} = \frac{1}{2} \beta_3 (V_{DD} - V_{th3})^2 \quad (3.8)$$

で表され、このときの M_3 の抵抗値 R_3 は次のようになる。

$$R_3 = \frac{V_{DD} - V_{th3}}{I_{Dsat3}} \quad (3.9)$$

同様に M_1 の抵抗値は次式で表される。

$$R_1 = \frac{V_{DD} - V_{th1}}{I_{Dsat1}} \quad (3.10)$$

これから負荷容量の電圧 V_{out} と M_3 にかかる電圧 V_{DS3} との関係を

$$V_{DS3} = \alpha V_{out} \quad (3.11)$$

とすると、係数 α は次式で表される。

$$\begin{aligned} \alpha &= \frac{R_3}{R_1 + R_3} \\ &= \frac{V_{p3}/I_{Dsat3}}{V_{p3}/I_{Dsat3} + V_{p1}/I_{Dsat1}} \end{aligned} \quad (3.12)$$

この比を利用して、DelayChain の遅延時間を理論式で求めることになる。

3.2.2 DelayChain の遅延時間の理論式

V_{out} と V_{DS3} との比である α を利用して、 M_3 に流れる電流 I_{D3} を求めると、

$$\begin{aligned} I_{D3} &= \beta_3 \{ (V_{GS3} - V_{th3}) V_{DS3} - \frac{1}{2} V_{DS3}^2 \} \\ &= \beta_3 \{ (V_{DD} - V_{DS1} - V_{th3}) V_{DS3} - \frac{1}{2} V_{DS3}^2 \} \\ &= \beta_3 \{ (V_{p3} - (1 - \alpha) V_{out}) \alpha V_{out} - \frac{1}{2} (\alpha V_{out})^2 \} \\ &= \alpha \beta_3 \{ V_{p3} - (1 - \frac{1}{2} \alpha) V_{out} \} V_{out} \end{aligned} \quad (3.13)$$

この M_3 の電圧-電流特性を用いて後は先ほど求めたインバータと同様にして遅延時間を求めることができる。ここではインバータのときと同様に立下り時間は出力電圧が 90% から 10% まで落ちる時間とする。奇数 bit の DelayChain の 1bit 分の遅延時間は微分方程式を解くと次式になる。ここで V_{p3} は M_3 のピンチオフ電圧で $V_{DD} - V_{th3}$ である。

$$T_n = \frac{C_L}{\alpha \beta_3 V_{p3}} \log \left(\frac{0.9 V_{p3} - 0.1(1 - 0.5\alpha) V_{DD}}{0.1 V_{p3} - 0.9(1 - 0.5\alpha) V_{DD}} \right) \quad (3.14)$$

この理論式が妥当なものかを判断するために後ほどシミュレーションと比較して検討するが、同じく電圧比 α を用いて次のような考え方からより簡単な理論式を立てることが可能である。

DelayChain の遅延時間が普通のインバータ回路と同様に、駆動する FET である M_3 の飽和電流で主に決定されると考える。さらにソース側に付加された FET M_1 や M_2 が抵抗として作用し、その M_3 の飽和電流 I_{Dsat3} が減少することで遅延時間が増大すると考えたとき、その飽和電流 \hat{I}_{Dsat3} は

$$\hat{I}_{Dsat3} = \alpha \cdot \frac{1}{2} \beta_3 (V_{DD} - V_{th3})^2 \quad (3.15)$$

のように表現できる。 α は先ほどと同じピンチオフ時の抵抗比から求めた電圧比 (V_{DS3}/V_{out}) である。これをインバータの遅延時間の式 3.5 に直接代入する。つまり式 3.5 内の β_3 を式 3.15 から求められる $\hat{\beta}_3$ に置きかえる。

$$\hat{\beta}_3 = \alpha \cdot \beta_3 \quad (3.16)$$

さらに式 3.5 の積分を解くことによって得られる係数を A_0 としておくと、遅延時間 T_n は

$$T_n = \frac{A_0 \cdot C_L}{\hat{\beta}_3 \cdot V_{DD}} = \frac{A_0 \cdot C_L}{\alpha \cdot \beta_3 \cdot V_{DD}} \quad (3.17)$$

となる。このとき、各々の FET の V_{th} は積分を解くときに定数 A_0 に含まれてしまいばらつきの評価ができない。しかし、表 3.1 に示したようにシミュレーションの結果によると V_{th} が持つ寄与率は非常に小さく、また飽和電流のばらつきが閾値のばらつきを含むことを考慮すると、ここで V_{th} のばらつきの影響を無視しても問題はないと考えられる。そこで、各 NMOSFET の閾値は等しいとすると、式 3.12 から α は以下のような飽和電流で表される式になる。

$$\alpha = \frac{I_{Dsat1}}{I_{Dsat3} + I_{Dsat1}} \quad (3.18)$$

よって最終的に遅延時間 T_n は

$$T_n = \frac{A_0 \cdot C_L \cdot V_p^2}{2V_{DD}} \cdot \frac{I_{Dsat1} + I_{Dsat3}}{I_{Dsat1} \cdot I_{Dsat3}} \quad (3.19)$$

という式で表されることになる。

3.3 シミュレーション結果と理論式による解析の比較

式 3.14、式 3.19 のように遅延時間を解析的に扱うための理論式を立てたが、これがどの程度正確なものかを見る必要がある。ここでは HSPICE を用いたシミュレーション結果と比較してみる。まずインバータを構成する FET や XOR からの一致/不一致の信号を受ける FET は固定し、常にプルアップされた NMOSFET のサイズを変えることでその M_1 の飽和電流が変化したときの、シミュレーションを用いた遅延時間を図 3.6 に示す。また、理論式 3.19 を用いて計算した遅延時間を図 3.7 に示す。

この結果からシミュレーションに対して理論式は遅延時間の絶対値は全く正確に表せていないものの、飽和電流の変化に対する遅延時間の変化の傾向はうまく表せている。遅延時間の絶対値を正確に表せていないのは例えば最も簡単なインバータ回路を例にとると、式 3.5 をさらに変形して、

$$\begin{aligned} T_n &\simeq \frac{C_L}{\beta_n V_{DD}} \\ &= \frac{L^2}{\mu_n \cdot V_{DD}} \cdot \frac{C_L}{C_g} \end{aligned} \quad (3.20)$$

ここでインバータの NMOSFET のゲート容量 C_g と負荷容量 C_L との比 C_L/C_g を 3 とすると、 0.6μ プロセスにおいては $10^{-11}s$ 程度のオーダーの遅延時間となる。しかし実際にはインバータの遅延時間は $10^{-10}s$ のオーダーであり、理論式 3.19 も同様に遅延時間をうまく表せていないと考えられる。この原因は飽和領域を無視していることや、 $0.9V_{DD}$ を初期値としていること、さらに配線容量の影響などによると考えられる。

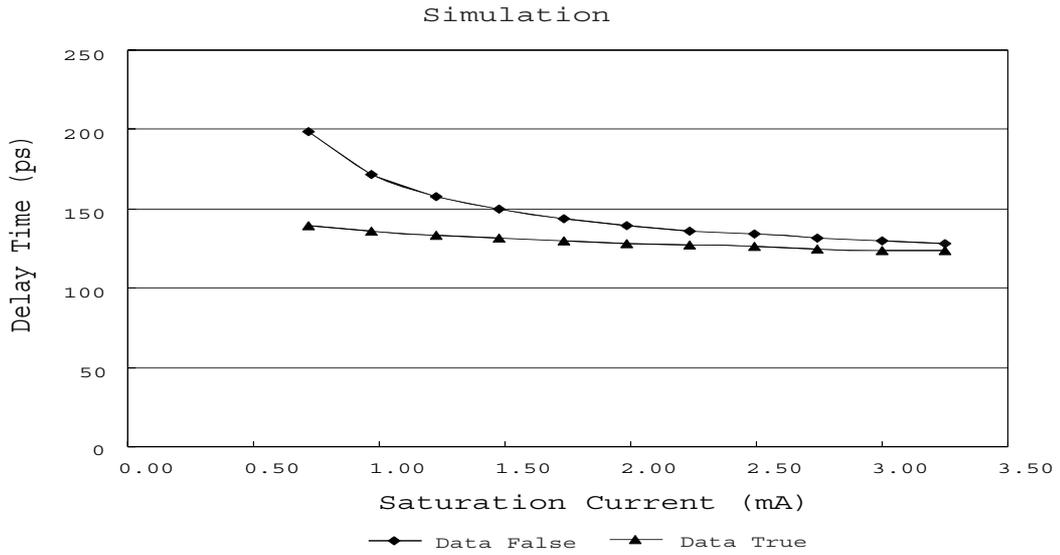


図 3.6: シミュレーションによる遅延時間 (奇数 bit)

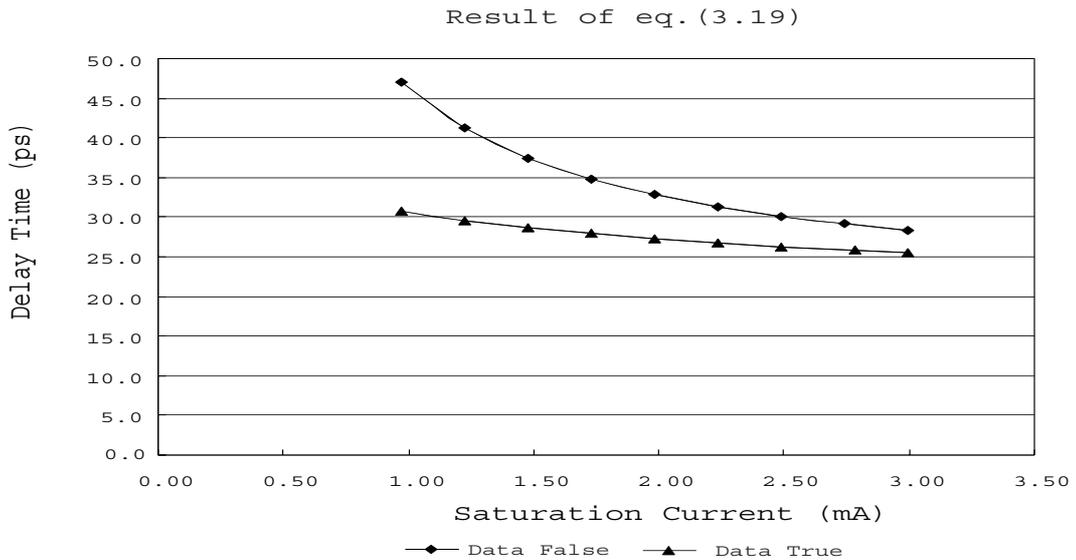


図 3.7: 理論式 (3.19) による遅延時間 (奇数 bit)

そこで、誤り率の評価という目標に必要な要素のみをうまく表現できていればよいと考えた。例えば、飽和電流がある量だけ変化したときの遅延時間の変動の割合をうまく表現できていれば、誤り率は求めることができる。よって、この遅延時間の絶対値の違いを吸収するために遅延時間のばらつきを相対的にとらえ評価する。

3.3.1 遅延時間の分散の評価

ある FET M_i の飽和電流と遅延時間の関係を $T_n(I_{Dsat_i})$ として、ある飽和電流値 I_0 を平均としてとったとき、飽和電流が 1 変化したときの遅延時間の変化 a_0 は $I_{Dsat_i} = I_0$ における傾きで近似することができ、

$$a_0 = \left. \frac{dT_n(I_{Dsat_i})}{dI_{Dsat_i}} \right|_{I_{Dsat_i}=I_0} \quad (3.21)$$

と表される。そこで遅延時間の変動をその平均値の割合として表すために遅延時間の平均値で割ると、

$$a = \frac{1}{T_n(I_0)} \cdot \left. \frac{dT_n(I_{Dsat_i})}{dI_{Dsat_i}} \right|_{I_{Dsat_i}=I_0} \quad (3.22)$$

となる。これから飽和電流の平均 μ ・ 標準偏差 σ という確率分布が与えられたときに、遅延時間のばらつきを平均からの割合として知ることができる。

この遅延時間の相対変動係数 a を縦軸、飽和電流の平均値を横軸にとったシミュレーション結果と理論式 3.19 による結果を図 3.8 に示す。

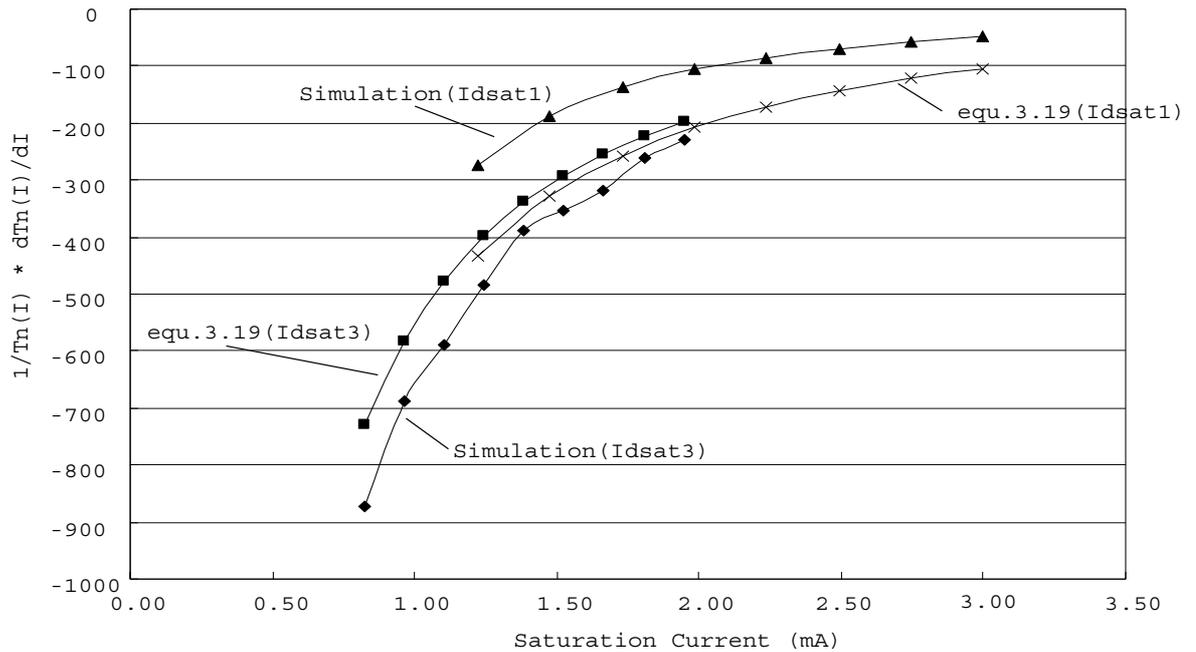


図 3.8: 奇数 bit における飽和電流と遅延時間の相対変動係数の関係

なお、理論式 3.19 において、このばらつきの影響力 a は M_1 か M_2 の飽和電流 I_{Dsat1} 、 I_{Dsat2} に関しては以下の式になる。

$$a_1 = a_2 = -\frac{(I_{Dsat1} + I_{Dsat2}) \cdot I_{Dsat3}}{I_{Dsat1} + I_{Dsat2} + I_{Dsat3}} \cdot \frac{1}{(I_{Dsat1} + I_{Dsat2})^2} \quad (3.23)$$

同様に M_3 の飽和電流 I_{Dsat3} に関しては以下の式になる。

$$a_3 = -\frac{(I_{Dsat1} + I_{Dsat2}) \cdot I_{Dsat3}}{I_{Dsat1} + I_{Dsat2} + I_{Dsat3}} \cdot \frac{1}{(I_{Dsat3})^2} \quad (3.24)$$

図 3.8 は M_1 の飽和電流 I_{Dsat1} と M_3 の飽和電流 I_{Dsat3} をそれぞれ他のパラメータを固定させて独立に変動させたときの、シミュレーションと理論式 3.19 による結果である。理論式による結果はシミュレーションよりも I_{Dsat1} の影響力を強いと評価し、逆に I_{Dsat3} の影響力を弱く評価していることがわかる。これは理論式を立てる際に抵抗比から M_1 にかかる電位を求めているため、 V_{out} の初期値が $0.9V_{DD}$ であることから M_1 にかかる電圧の初期値は $(1 - \alpha)V_{DD}$ としている。しかし M_1 が常にプルアップされていることから、その初期値は実際には $0V$ である。このような理由から図 3.8 のようなずれが生じると考えられる。これをうまく補正するために飽和電流に補正値をかけることを考える。

そこで各々の FET の飽和電流 I_{Dsat_i} に適当な値をかけ、それによってシミュレーションとの一致をはかる。ただし、このとき図 3.8 のように他のパラメータをひとつに固定したものでなく、それらが発動したときも成り立つような補正値をかける必要がある。ここでは理論式 3.19 をデータが一致したときの遅延時間を表せられるように I_{Dsat2} も考慮した以下の式について補正する。

$$T_n = \frac{A_0 \cdot C_L \cdot V_p^2}{2V_{DD}} \cdot \frac{I_{Dsat1} + I_{Dsat2} + I_{Dsat3}}{(I_{Dsat1} + I_{Dsat2}) \cdot I_{Dsat3}} \quad (3.25)$$

ここでデータが不一致のときの M_2 の飽和電流は $I_{Dsat2} = 0$ となる。ここで補正後の $I_{Dsat1} + I_{Dsat2}$ を \hat{I}_{Dsat12} 、 I_{Dsat3} を \hat{I}_{Dsat3} として、

$$\hat{I}_{Dsat12} = 1.5(I_{Dsat1} + I_{Dsat2}) \quad (3.26)$$

$$\hat{I}_{Dsat3} = I_{Dsat3} \quad (3.27)$$

という補正を行ったとき、遅延時間は次式になり図 3.8 は図 3.9 のようになり、シミュレーションと理論式の結果をほぼ一致させることができる。

$$T_n = \frac{A_0 \cdot C_L \cdot V_p^2}{2V_{DD}} \cdot \frac{\hat{I}_{Dsat12} + \hat{I}_{Dsat3}}{(\hat{I}_{Dsat12}) \cdot \hat{I}_{Dsat3}} \quad (3.28)$$

さらに図 3.9 には M_1 が異なる設計値を持ったとき M_3 の飽和電流が変動した場合の結果も載せた。図中、 (I_{Dsat3}) の後ろに A とついているものが図 3.8 と同じ設計値を用いたもので、 B とついているものが M_1 のサイズを変えることで I_{Dsat1} を A と違う値にしたものである。この結果から、この補正が多次的に有効であることが確認できる。

また、データが一致のときでも同様の補正で I_{Dsat1} 、 I_{Dsat2} 、 I_{Dsat3} とともにシミュレーション結果と同じ結果を得ることができた。この結果からそれぞれの飽和電流から求めた平均 1 の相対変動としてばらつきを持った遅延時間が求まる。これに各々の相関を考慮することで、遅延時間の確率分布を求められることがわかる。相関については後述する。

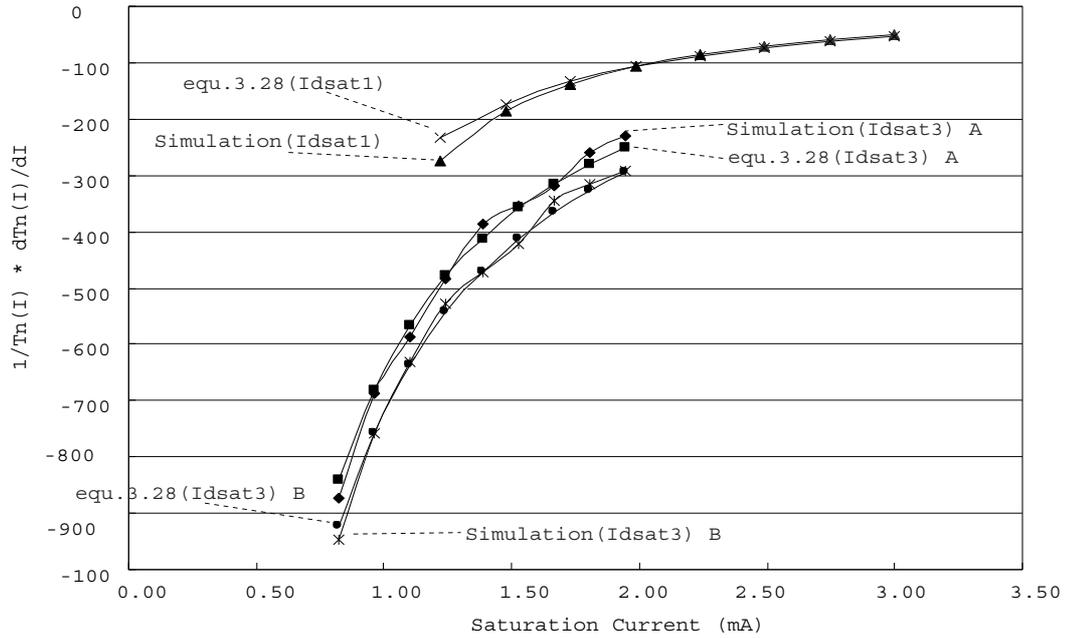


図 3.9: 奇数 bit における飽和電流と遅延時間の相対変動係数の関係 (補正後)

これまで奇数 bit についてのみ考えてきたが、偶数 bit でも負荷容量への充電の過程としてとらえ、奇数 bit の遅延時間の理論式 3.25 を求めたときと同様の近似を行い理論式をたてられる。ただしこのときの補正値は変わってくる。図 3.10 において遅延時間 T_p は式 3.25 と同じく以下の式で表される。

$$T_p = \frac{A_1 \cdot C_L \cdot V_p^2}{2V_{DD}} \cdot \frac{I_{Dsat4} + I_{Dsat5} + I_{Dsat6}}{(I_{Dsat4} + I_{Dsat5}) \cdot I_{Dsat6}} \quad (3.29)$$

さらに補正値を

$$\hat{I}_{Dsat45} = 1.3(I_{Dsat4} + I_{Dsat5}) \quad (3.30)$$

$$\hat{I}_{Dsat6} = 1.1I_{Dsat6} \quad (3.31)$$

とすることで、遅延時間 T_p は

$$T_p = \frac{A_1 \cdot C_L \cdot V_p^2}{2V_{DD}} \cdot \frac{\hat{I}_{Dsat45} + \hat{I}_{Dsat6}}{(\hat{I}_{Dsat45}) \cdot \hat{I}_{Dsat6}} \quad (3.32)$$

となり、図 3.10 のようにシミュレーションと同様の結果を得ることができる。図 3.10 ではデータが一致のときの $I_{Dsat4} \sim I_{Dsat6}$ に関して、シミュレーションと補正後の理論式による結果を示した。

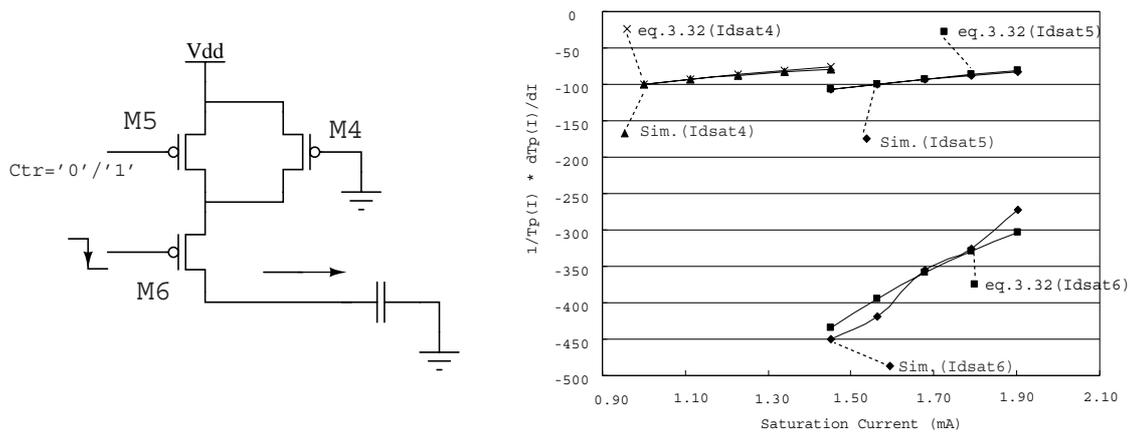


図 3.10: 偶数 bit における飽和電流と遅延時間の相対変動係数の関係 (補正後)

次に負荷容量のばらつきを考える。負荷容量と遅延時間の関係は理論式では式 3.19 から直線的になることがわかる。一方シミュレーションにおいても負荷容量と遅延時間の関係は直線的である。いままで考慮しなくてよかった式 3.19 の定数係数 A をここでも考慮しなくていいように、飽和電流と同様の評価をする。補正後の C_L を奇数 bit では \hat{C}_{Ln} 、偶数 bit を \hat{C}_{Lp} として

$$\hat{C}_{Ln} = 2.7C_L \quad (3.33)$$

$$\hat{C}_{Lp} = 4.0C_L \quad (3.34)$$

とするとシミュレーションの値とほぼ一致する。図 3.11 に偶数 bit におけるデータの一致・不一致時の補正後のシミュレーション結果と理論式の結果を示す。

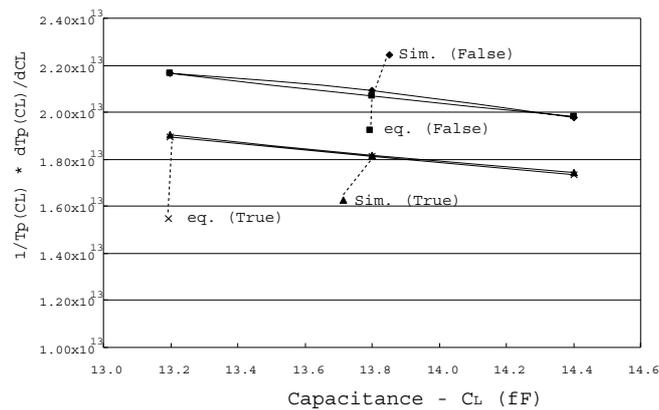


図 3.11: 偶数 bit における負荷容量と遅延時間の相対変動係数の関係 (補正後)

3.3.2 遅延時間に関わる相関の評価

個々のパラメータのばらつきが遅延時間のばらつきにどのように影響するかを求めたが、これだけでは遅延時間の確率分布を求めることはできない。飽和電流の確率分布を測定する際、隣り合うトランジスタを独立と考えられるようなマクロな領域での分布を測定することは困難であるため、ウェハ内などのもっと大きな領域での分布を測定することになる。しかし、その確率分布に対して隣り合うトランジスタの分布は強い相関を持つことが予想される。そして、2点の距離が離れるほどその相関は弱くなると考えられる。そこである点に対して任意の点との相関はその距離によって決まるとし、それを指数関数的な減少と仮定した。よって2点の距離を r として相関係数 $\rho(r)$ は距離 $r = 0$ のときの相関は1で、 $r \rightarrow \infty$ なので

$$\rho(r) = e^{-ar} \quad (3.35)$$

と表される。また係数 a, b は対象となるデバイスプロセスがどのような面内相関を持つかによって測定により定まる定数である。

この相関係数は各FET間だけでなく、各bitの遅延時間の確率分布から多bitのDelayChainの出力の遅延時間の確率分布を求めるとき、さらにWord間での差を用いて誤り率を求める際にも利用する。実際の計算方法については第4章4.2節にて述べる。

3.3.3 遅延時間の平均値の評価

遅延時間の分布を知るためには平均値が必要である。ただし、目的を誤り率を求めるといふことに絞ると、前述したように分散を平均1とした相対変動で評価できるので、2つのハミング距離が異なるデータの遅延時間の平均値の比さえわかればよい。そこで、データが一致したときと不一致だったときの遅延時間の比を考える。またこれにより理論式の定数係数 A_0 や A_1 はここでも考慮する必要がなくなる。

ここでもシミュレーションと理論式による結果を一致させるために補正が必要であるが、分散の評価と同じ補正を行った式3.28及び3.32を使って、各パラメータを各々独立に変動したときをシミュレーションと比較すると、図3.12のようになる。

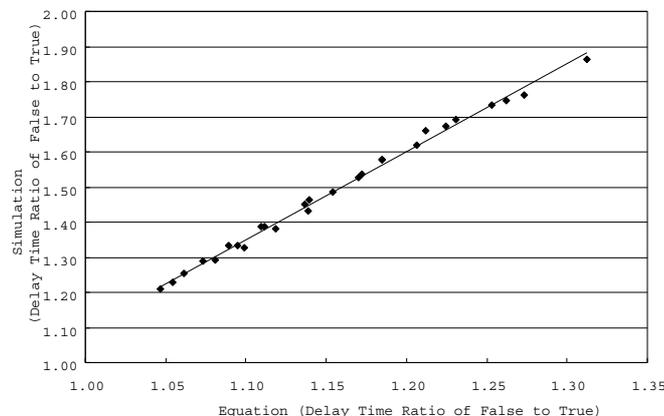


図 3.12: 理論式とシミュレーションの結果：遅延時間の平均値の比 (不一致/一致)

図 3.12 は奇数 bit において M_3 の飽和電流 I_{Dsat3} を変えたときの平均値の比と、 M_1 の飽和電流 I_{Dsat1} を変えたときの平均値の比、さらに M_2 の飽和電流 I_{Dsat2} を違う値にして I_{Dsat1} を変えたときの平均値の比を同じグラフにプロットしたものである。横軸が理論式の結果による平均値比、縦軸がシミュレーション結果による平均値比である。これらがほぼ同じ傾向にあるということは、この直線的な関係がどのパラメータが変動しても多次元的になりたつことを示している。この近似直線から奇数 bit の平均値 μ_n と偶数 bit の平均値 μ_p はそれぞれの理論式による結果 $\mu_{n.eq}, \mu_{p.eq}$ を用いて次式で表される。

$$\mu_n = 2.50\mu_{n.eq} - 1.40 \quad (3.36)$$

$$\mu_p = 1.45\mu_{p.eq} - 0.45 \quad (3.37)$$

ここまでで遅延時間の確率分布を解析的に導くのに必要な平均値や分散を求める理論式を示した。これらは異なるプロセスにおいて同じ補正值を用いて導ける可能性もあるが、プロセス毎に別の補正值が必要だとしてもそれぞれが多次元的に成り立つと確認されているために、そのシミュレーションの回数は数回で十分である。次章では相関を考慮し誤り率をどのように導くかを示し、プロセスを仮定して誤り率の導出を行う。

第4章

誤り率の導出と設計値の予測

4.1 誤り率導出の前提

誤り率を求めるには対象となるプロセスのばらつきを把握する必要がある。さまざまな設計値に対しての誤り率を求めるのに、すべての設計値の確率分布を測定するのではなく、チャンネル幅を W 、チャンネル長を L として

$$\text{飽和電流：標準偏差 } W, 1/L ; \text{ 平均値 } W, 1/L \quad (4.1)$$

$$\text{負荷容量：標準偏差 } W, L ; \text{ 平均値 } W, L \quad (4.2)$$

のような関係を用いて少ない測定で誤り率を求める。使用する2種類のチャンネル長 L で2~3種類のチャンネル幅を持つFETの確率分布を測定し、チャンネル長と各パラメータの平均値、標準偏差の関係を得る。図4.1のような関係を持つことになる。

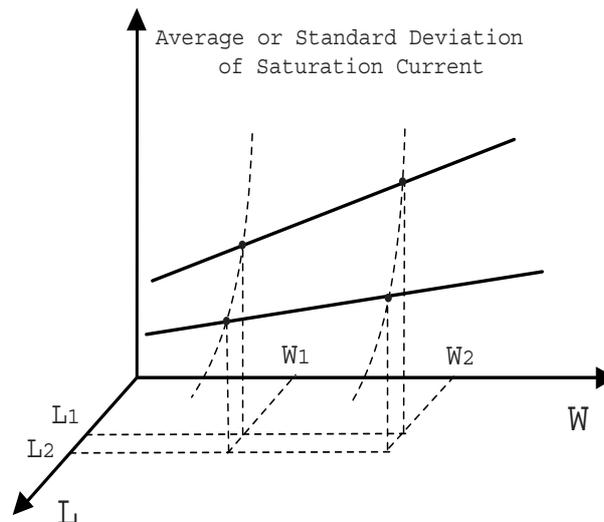


図 4.1: 設計値と飽和電流の基本統計量の関係例

次に距離と相関との関数式 3.35 で、 $\rho(r)$ の係数 a の測定の仕方を考える。各パラメータの測定値を、ウェハ面内で図 4.2 のようにいくつかの領域ごとに分割する。その分割された $Area1$ 、 $Area2$ の相関から距離の関数 $\rho(r)$ を求める。数ヶ所の $Area$ の相関を測定し式 3.35 の近似にあてはまらないときは別の関数を用意する必要がある。

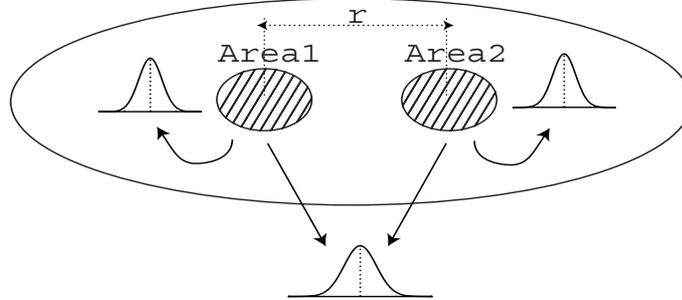


図 4.2: 領域の分割による $\rho(r)$ の導き方

4.2 誤り率の導出方法

はじめに測定によって得られた各飽和電流と負荷容量の標準偏差 $\sigma_{I1}, \sigma_{I2}, \sigma_{I3}, \sigma_{C_L}$ と、それから平均 1 とした遅延時間の標準偏差 $\sigma_{t1}, \sigma_{t2}, \dots$ を、式 3.23, 3.24 の係数 a を用いて求める。

$$\begin{aligned}\sigma_{t1} &= a_{12} \cdot \sigma_{I1} \\ \sigma_{t2} &= a_{12} \cdot \sigma_{I2} \\ &\dots\end{aligned}\tag{4.3}$$

これで各パラメータが独立に変動するとしたときの平均 1 とした遅延時間の確率分布を得たことになる。これに式 4.4 となる各々の相関行列 R_1 を用いて 1bit の遅延時間の分散 σ_t^2 が得られ、確率分布 $N_{bit}(1, \sigma_t^2)$ が求められる。ここで r_{ij} は M_i と M_j の距離である。相関 $\rho(r)$ は式 3.35 で与えられる距離の関数である。

$$R_1 = \begin{pmatrix} 1 & \rho(r_{12}) & \rho(r_{13}) & \rho(r_{1c}) \\ \rho(r_{12}) & 1 & \rho(r_{23}) & \rho(r_{2c}) \\ \rho(r_{13}) & \rho(r_{23}) & 1 & \rho(r_{3c}) \\ \rho(r_{1c}) & \rho(r_{2c}) & \rho(r_{3c}) & 1 \end{pmatrix}\tag{4.4}$$

$$\sigma_1 = (\sigma_{t1}, \sigma_{t2}, \sigma_{t3}, \sigma_{tC})\tag{4.5}$$

$$\sigma_t^2 = \sigma_1 R_1^{-1} \sigma_1\tag{4.6}$$

これを奇数 bit、偶数 bit のそれぞれでデータが一致した場合と不一致であった場合について求める。ここで σ_t は平均 1 に対する相対値なので、データが不一致であった場合は平均値の不一致/一致の比の式 3.36, 式 3.37 の μ_n, μ_p から遅延時間の確率分布は

$$\text{奇数 bit 一致} : T_{odd.T} = N_{odd.T}(1, \sigma_{odd.T}^2)$$

$$\text{奇数 bit 不一致} : T_{odd.F} = N_{odd.F}(\mu_n, (\mu_n \sigma_{odd.F})^2)$$

$$\begin{aligned}
\text{偶数 bit 一致} : T_{even.T} &= N_{even.T}(1, \sigma_{even.T}^2) \\
\text{偶数 bit 不一致} : T_{even.F} &= N_{even.F}(\mu_p, (\mu_p \sigma_{even.F})^2)
\end{aligned} \tag{4.7}$$

となる。ここで $N(\mu, \sigma^2)$ は平均 μ 、分散 σ^2 の正規分布である。

次に n bit の DelayChain の遅延時間の確率分布を導く。隣り合う 2bit 間の距離を r_0 とすると、各 bit 同士の相関行列 \mathbf{R}_2 は、 i 行 j 列の要素を R_{2ij} とすると次式になる。

$$R_{2ij} = \sum_i \sum_j \rho(|i - j|r_0) \tag{4.8}$$

次に i bit におけるデータが一致のとき $s_i = 1$ 、不一致のとき $s_i = 0$ として以下のような行列を定義する。

$$\sigma_{2i} = \begin{cases} s_i \sigma_{odd.T} + (1 - s_i) \mu_n \sigma_{odd.F} & , i = 2j - 1 \\ s_i \sigma_{even.T} + (1 - s_i) \mu_p \sigma_{even.F} & , i = 2j \end{cases} \tag{4.9}$$

この行列を用いて n bit DelayChain の遅延時間の分散 \hat{V} は

$$\hat{V} = \sigma_2 \mathbf{R}_2 {}^t \sigma_2 \tag{4.10}$$

となる。また n bit DelayChain の遅延時間の平均 \hat{E} は単純に各 bit の平均の和をとることで得られる。この平均 \hat{E} と分散 \hat{V} は各 bit のデータ一致時の遅延時間を 1 としたときの相対的な値である。

ここまでで任意のハミング距離のデータに対する遅延時間の分布が求められた。誤り率を求めるために 1bit だけハミング距離の異なるデータの遅延時間の分布 $T_1 = N_1(\hat{E}_1, \hat{V}_1)$, $T_2 = N_2(\hat{E}_2, \hat{V}_2)$ を仮定し、その遅延時間が逆転してしまう確率を考える (図 4.3)。

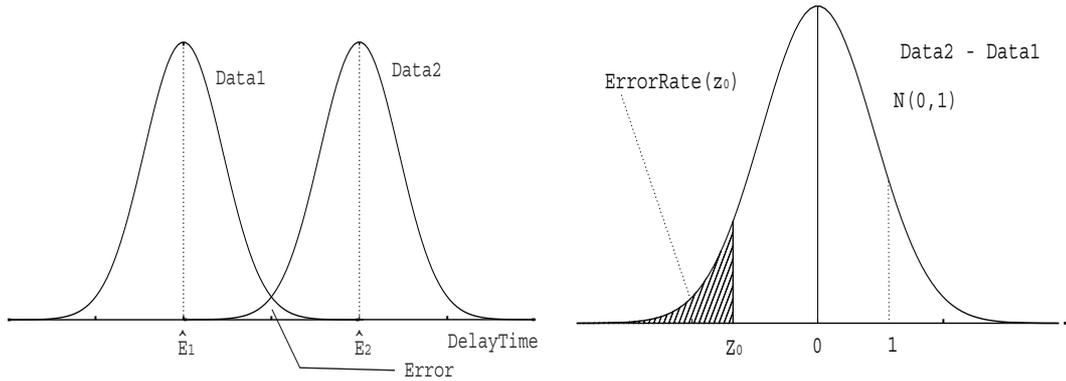


図 4.3: ハミング距離が異なるデータの遅延時間の分布とその差の分布

その差 $T_2 - T_1$ の分布は、Word 間の距離を r とするとその相関 e^{-ar} が得られ

$$E_{dif} = \hat{E}_2 - \hat{E}_1 \tag{4.11}$$

$$V_{dif} = \hat{V}_2 - 2e^{-ar} \sqrt{\hat{V}_1} \sqrt{\hat{V}_2 + \hat{V}_1} \tag{4.12}$$

この分布を正規化し、 $T_2 - T_1 < 0$ となるのは分布関数 $\phi(z)$ において

$$\phi(z) = \frac{1}{\sqrt{2\pi}} \cdot e^{-z^2/2}, \quad z < -\frac{E_{dif}}{\sqrt{V_{dif}}} \quad (4.13)$$

のときであり、図 4.3 の右図の斜線部の面積が誤り率となる。誤り率は式 4.13 の累積分布関数 [5] より以下の式で表される。

$$\begin{aligned} ErrorRate(z) &= \int_{-\infty}^z \phi(u) du \\ &= \int_{-\infty}^z \frac{1}{\sqrt{2\pi}} \cdot e^{-u^2/2} du \\ &= \frac{1}{2} + \frac{z}{\sqrt{2\pi}} \left[1 - \frac{z^2}{3 \cdot 2 \cdot 1!} + \frac{z^4}{5 \cdot 2^2 \cdot 2!} - \frac{z^6}{7 \cdot 2^3 \cdot 3!} + \dots \right] \end{aligned} \quad (4.14)$$

$$(4.15)$$

これにより誤り率が求まる。

4.3 誤り率の導出および設計値の予測例

あるばらつきを持ったプロセスを仮定し、誤り率や速度を導きその結果について考察する。これまでに述べた誤り率までを導く過程を C 言語にて自動化した。測定によって得られると仮定したプロセスのばらつきを入力とし、遅延時間や誤り率と各 MOSFET の設計値の関係を得ることができる。さらに、奇数 bit の FET のサイズを決定したときに、偶数 bit の FET のサイズは自動的に決まる。これは奇数 bit と偶数 bit との重みが同じになるような設計をする必要があるからである。これも遅延時間を求める過程で自動的に探索し決定できるようにした。

ここではローム社の $0.6\mu\text{m}$ プロセスのデザインルールを元にし、飽和電流などが 5%のばらつきの中に 99.8% が含まれるという結果が得られたと仮定する。すなわち $3\sigma = 0.025\mu$ となる確立分布が測定されたと仮定したときの時間領域最小距離探索連想メモリの誤り率を導出する。具体的な統計的数値は表 4.1 のようなものである。さらに FET 間の距離が $2.7\mu\text{m}$ 、各 bit 間の距離が $14.5\mu\text{m}$ 、Word 間の距離が $64\mu\text{m}$ でレイアウトされているとした。

チャネル長 $L(\mu\text{m})$	NMOSFET				PMOSFET	
	0.6		0.75		0.6	
チャネル幅 $W(\mu\text{m})$	2.55	3.15	2.55	3.15	4.80	5.10
飽和電流 (mA) 平均值	1.38	1.81	1.10	1.45	1.56	1.68
偏差 3σ	0.0345	0.0453	0.0275	0.0363	0.0390	0.042
ゲート容量 (fF) 平均值	21.63	22.24	27.04	27.80	23.90	24.21
偏差 3σ	0.541	0.556	0.676	0.695	0.5975	0.605
相関 ($r=4\text{mm}$)	0.95					

表 4.1: 仮定したプロセスの基本統計量

まずプログラムにより探索した奇数 bit と偶数 bit の重みを等しくするような M_1 と M_4 のサイズを図 4.4 に示す。また、以降で用いるトランジスタの名前 M_i はそれぞれ図 4.4 に示す通りである。

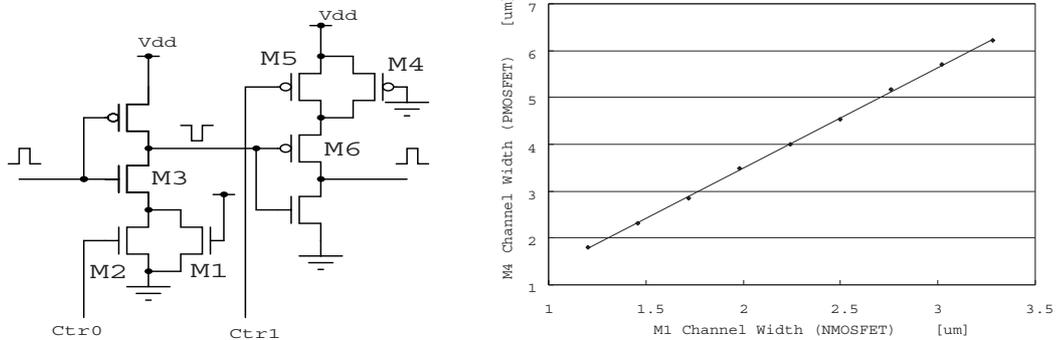


図 4.4: 偶奇に等しい重みをあたえる M_1, M_4 のサイズの関係

図 4.5 では、64bits×64words の時間領域最小距離探索メモリにおいて、DelayChain のインバータ部分である M_3, M_6 のサイズを SRAM などのデジタル回路と同じ $2.55\mu\text{m}, 5.10\mu\text{m}$ にし、一致/不一致の時間差を生じさせる M_1, M_4 のサイズと誤り率や速度の関係を示す。ここでは遅延時間は最悪値としてすべてのデータが不一致のときの時間、誤り率は最も離れた Word が 1bit だけハミング距離が違うときに判定を誤るときの確率とした。

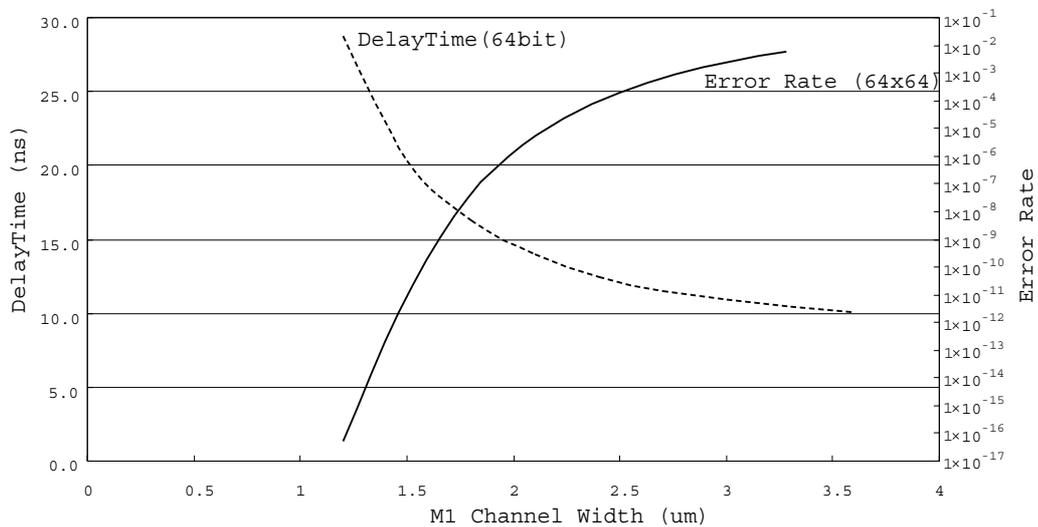


図 4.5: M_1 のサイズと遅延時間および誤り率の関係 (64×64)

この連想メモリの要求される誤り率はその使用目的によって大きく異なり、リアルタイムで動き検出をするときなど、1bit の誤りをある程度許しても速度を要求する場面もあると考

えられる。そして、 $10^{-17} \sim 10^{-4}$ といった誤り率や $12ns \sim 28ns$ という広い範囲の速度を、 M_1 の $1.2\mu m \sim 2.5\mu m$ というチャンネル幅の変化でコントロールできることが図 4.5 からわかる。このように、誤り率を犠牲にすることで処理時間を半分以下にしたり、逆に時間をかけることで精度を非常に高いものに調整できるというのは、その用途に応じた設計をする有効性と必要性があることを示している。

このように M_1 や M_4 が誤り率や速度に与える影響は大きく、両者がトレードオフの関係にあるという欠点はあるものの、FET の大きさの点ではデジタル部分の MOSFET より小さな MOSFET の最大 $1\mu m$ 強のサイズの違いで調整できるという、レイアウトの容易さや面積的なデメリットが少ないという利点もある。

一方、インバータ部分の M_3, M_6 のサイズを調整することで誤り率や速度を決定する場合を考えてみる。下の図 4.6 に、図 4.5 と同様の関係を M_3, M_6 を異なる値にしたときも同時に示した。太線になっているものがデジタル部と同じ $2.55\mu m$ で設計した場合であり、それに対して $1\mu m$ ずつ増減したものを細線で表している。

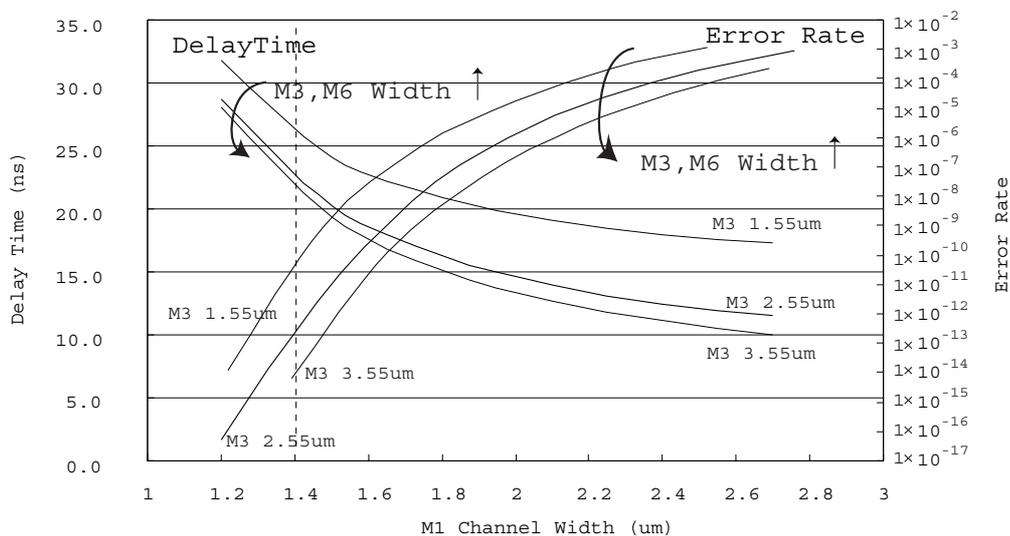


図 4.6: M_3, M_6 のサイズの遅延時間および誤り率への影響 (64×64)

M_3, M_6 で誤り率や速度を調整しようとしたとき、 M_1 や M_4 のようなトレードオフの関係にはなっておらず、チャンネル幅を大きくすることで誤り率も速度も向上することがわかる。誤り率が小さくなるのは M_3, M_6 の抵抗率が下がることで、ソースに付加された MOSFET によるデータ一致/不一致の抵抗値差が相対的に大きくなり、遅延時間差が増えるためと考えられる。

したがって M_3, M_6 の大きさで誤り率や速度を調整するのは非常に有効であるようにみえるが、その変化幅は M_1, M_4 によるものと比べ非常に小さい。これは速度に関しては、ソースに付加された M_1 や M_4 の抵抗値が大きいためボトルネックとなり M_3, M_6 をむやみに大きくしても速度の大きな向上はみられない。デジタル回路のサイズ $2.55\mu m$ より $1\mu m$ 大きくしたときに速度の向上は $1ns$ 程度であり 10% ほどにとどまる。さらに精度が高い領域ほど

M_1, M_4 の抵抗値は大きく M_3, M_6 による速度の向上は望めないことがわかる。また、誤り率に関しても M_1, M_4 のようにデータ的一致/不一致の抵抗値差に直接作用するものでなく相対的な影響にとどまるため、誤り率の変化が大きい高精度の領域においても $1\mu m$ の変化で2桁にとどまる。

このように、 M_1, M_4 を調整するだけでは要求する速度・誤り率をともに満たせないというとき以外は、 M_3, M_6 でこれらの向上を図るのは面積的なデメリットとその効果を考えると賢明ではない。よって、特に必要性がなければ M_1, M_4 以外の MOSFET はデジタル回路と同様の設計をしてよいと考えられる。

以上のように、対象となるプロセスの飽和電流などのばらつきが測定により得られれば、図 4.5, 図 4.6 のような時間領域最小距離探索連想メモリの性能と設計値の関係を導き出すことができ、要求される精度と速度を満たす最適な設計値を予測することが可能である。

第5章

結論

本研究では、時間領域最小距離探索メモリが必要以上の精度よりも速度を要求する用途もあることに注目し、誤りが起きる原因と、それらの誤り率や速度への影響を評価する方法を検討した。さらに、さまざまなデバイスプロセスに対応できる自由度を保てるよう解析的な評価方法を中心に取り入れた。そして、時間領域最小距離探索連想メモリの誤り率や速度をプロセスのばらつきと設計値から導く方法を考え、この処理をCプログラムを用いて自動化した。これを用いて得た設計値と誤り率・速度の関係に考察を加えた。本研究で得られた結論について以下に述べる。

- 誤り率を導く理論式を近似的にたて、それが多次元的に成り立つことを確認し、様々なプロセスにおいて局所的なシミュレーションで予測系を確立できるようにした。
- 設計値と誤り率や速度の関係を導く処理を自動化した。
- M_1, M_4 (図 4.4 参照) の設計値により誤り率と速度のトレードオフを広い範囲で決定できることを示した(図 4.5 参照)。
- M_3, M_6 の設計値により面積的デメリットがあるものの、誤り率と速度の両方を狭い範囲ながら向上させられることを示した(図 4.6 参照)。
- プロセスのばらつきが得られれば、要求される誤り率や速度といった性能から最適な設計値を決定できることを示した。

参考文献

- [1] T.Yamashita,T.Shibata and T.Ohmi,“Neuron MOS winner-take-all circuit and its application to associative memory,” ISSCC Dig. Technical papers, FA 15.2,pp.236-237,Feb.1993.
- [2] M.Nagata,T.Yoneda,D.Nomasaki,M.Sano and A.Iwata,“A Minimum-Distance Serch Circuit useing Dual-Line PWM Signal Processing and Charge-Packet Counting Techniques ,” ISSCC Dig. Technical papers, pp.42-43,Feb.1997.
- [3] M.Ikeda and K.Asada,“CAM Macro Cells with Minimum Distance Detector using Time-Domain Technique,”Internatinal Workshop on IP Based Synthesis and System Design PROC. Technical papers,pp.137-140,DEC,1998.
- [4] 奥野 忠一 他 “続多変量解析法” 日科技連出版社 ,1976
- [5] 鈴木 久吉 “数理統計” 理工学社 ,1992

謝辞

本研究で使用したプロセスルールは、ローム株式会社の CMOS 0.6 μ のデザインルールとそのライブラリを使用しました。深く感謝の意を表します。

また、本研究を進めるにあたって、浅田邦博教授には御多忙にも関わらず、貴重な時間を割いて熱心に御指導いただきました。ここに深く感謝の意を表します。また研究内容に関してじかに丁寧な御指導をいただいた池田誠講師、そしてさまざまな場面での助言、手助けをして下さった研究室の皆様方にも、深く感謝の意を表します。