

CMOS イメージセンサの技術動向: CCD への再挑戦

Trend of CMOS Imaging Device Technologies

電子工学専攻 浅田研究室

博士課程3年 27110 大池 祐輔

Abstract

Which imaging device survives in the current fast-growing and competitive market, CCD imagers or CMOS imagers? Although this question is still argued among experts, the conclusion has not come out yet. In recent years, the power balance of CCD imagers and CMOS imagers has been changing quickly every two years. Now, CMOS image sensors challenge to take the market of CCDs again. In this paper, I introduce the state-of-the-art technologies of CMOS image sensors behind the present trend of the image sensor market.

1 はじめに

デジタルカメラや携帯電話, セキュリティ, 車載用途など, 近年ますます適用分野を広げるイメージセンサ (Fig.1) であるが, 「CCD イメージセンサ vs. CMOS イメージセンサ」の議論は未だに決着をみない. 30年以上前に提案された MOS イメージセンサ [2] は, それを追うように発明された CCD イメージセンサ [3] によって一時は駆逐され, 「固体撮像素子 = CCD」という時代が長く続いた. しかし, 1993年に E. R. Fossum によって提案された, CMOS APS (Active Pixel Sensor)[4] の登場によって状況は大きく変わることになる. CCD イメージセンサにとって圧倒的優位であった画質の点では, 回路的なアプローチから固定パターンノイズ (FPN) を抑えることに成功し, さらに, 低コスト, 低消費電力, ワンチップ化などの特徴が携帯電話などの要求と一致したことで, 産業的にも成功したことは記憶に新しい.

一方で, 産業的に長い歴史を持つ CCD イメージセンサの画質優位性が逆転したわけではない. CMOS イメージセンサは, 回路的なアプローチに加え, プロセス技術・デバイス技術の改善により, CCD イメージセンサに匹敵・凌駕する画質を現在でも追求している. そして, 「CCD イメージセンサ vs. CMOS イメージセンサ」の議論の趨勢は, 2年程度の短いサイクルで変化している. カメラ付き携帯電話の登場した 2000年には, CMOS イメージセンサの需要が急激に伸びるとともに技術的な進歩も著しく, CCD イメージセンサは 21世紀に生き残れるのか, という声すら聞こえた. しかし, 2002年, デジタルカメラや携帯電話に搭載されるイメージセンサの高解像度化が進み, 単に絵が撮れるというだけでなく, どれだけ銀塩フィルムの写真に近いかという画質重視の風潮が, CCD イメージセンサの追い風となった. 高解像度化および低ノイズで優位だった CCD は, その「画質のよい方式」という消費者のイメージも手伝って, 再び CMOS イメージ

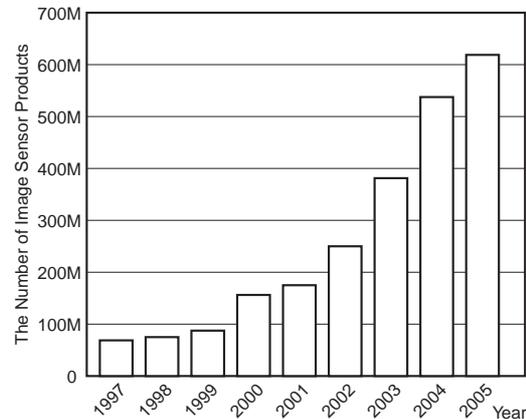


Fig. 1. Trend of the world-wide image sensor products [1].

センサの市場を取り返していった. 当時の予測では, CCD イメージセンサの需要がその後 2~3年で倍増し, CMOS イメージセンサは伸び悩むとされた.

2004年, その予測が再び揺れている. 200万画素以上の撮像素子として, CCD イメージセンサではなく CMOS イメージセンサが市場から要求され, CCD の牙城であるハイエンド市場において, CMOS イメージセンサが競合し始めている. 本稿では, これまでの「CCD vs. CMOS」の変遷をふまえて, CMOS イメージセンサが再び市場を奪い返そうとする現状において, この背景にあると考えられる技術動向について紹介する.

2 固体撮像素子の基本原理

本節では, CCD イメージセンサと CMOS イメージセンサの基本的な差異について紹介する. CCD は 1970年に発明 [3] されてから固体撮像素子として長い間主流であった. Fig.2 (a),(b) に示すように, CCD イメージセンサには主に 2つの読み出し手法が利用されている. (a) のフルフレーム型 CCD は蓄積部と転送部が共通しており, 高い開口率を実現できるものの, 転送中にも受光をしてしまうため, 強い光を受光している画素を通過する列に白い筋を引くノイズ (スミア) が発生するなどの問題がある. この方式は単純な構造から研究初期段階では適当な構造であり, また, 現在でも画素数の少ないイメージセンサなどの特定応用での応用が期待されている. 一方, 高解像度化したビデオカメラには, (b) のインターフレーム型 CCD が利用されている. 蓄積部と転送部の CCD を分離し, 開口率が 50%以下となるものの, 電子シャッタとしての機能を有するため, 高解像度化に向いている. これらの CCD イメージセンサは, Fig.2 (c) に示すような電荷

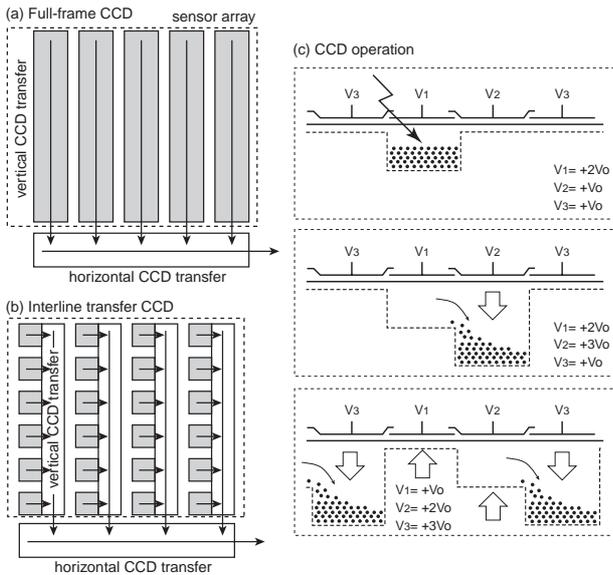


Fig. 2. Basic structure and operation of CCD image sensor.

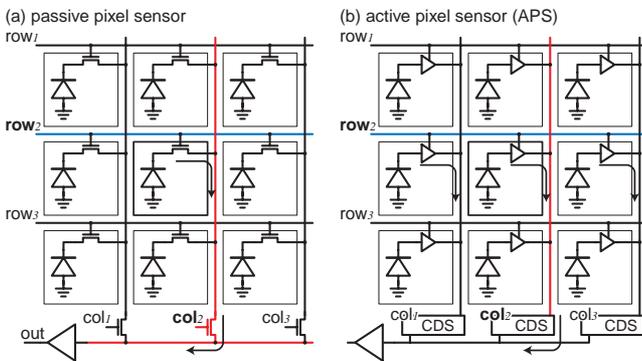


Fig. 3. Passive and active CMOS image sensors.

の転送によって順次読み出しを実行し、その電荷数をほぼ失うことなく転送することが可能である。それぞれの電位の井戸の深さにはばらつきがあるが、電荷数を維持できれば最終段のアンプでは同じ条件で出力されるため、固定パターンノイズ (FPN) が原理的にないといわれている。また、現在の CCD は表面に n 層を生成することで蓄積部を基板内部に埋め込む構造となっており、基板表面で発生する暗電流を抑えることが可能である。この 2 つの特徴と開口率の高さが、CCD イメージセンサが高画質といわれる主な理由である。ただし、転送には 10 V 程度の複数の電圧を必要とし、プロセス的にも複雑であるため、消費電力やコストの点では課題を抱えている。

1967 年に提案された MOS 型イメージセンサは、いわゆる Passive Pixel Sensor(PPS) であった。Fig.3 (a) に示すように、フォトダイオードで受光された光は光電変換により蓄積され、行および列で選択された画素の電荷を読み出す。CCD イメージセンサと異なり、任意の画素値を読み出すことができるランダムアクセスは、MOS 型イメージセンサの大きな特徴のひとつである。しかし、PPS 方式では、解像度が増加するに伴って列読み出し線および行読み出し線の寄生容量が大きくなり、読み出し感度が低くなる。また、その列ごとに異なる寄生容量によって、画質も劣化する。これらの理由から、画質の点で CCD イ

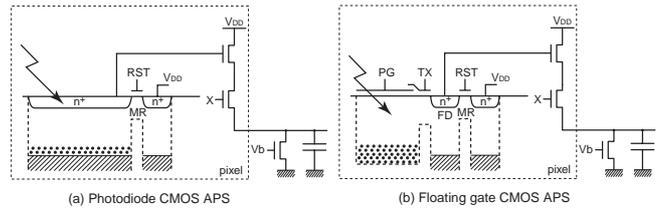


Fig. 4. Basic structures of CMOS APS.

	(a) before 2001		(b) after 2002	
	CCD	CMOS APS	CCD	CMOS APS
Quality	◎	△	◎~○	○
Power	△	○	△~○	○
Cost	○	◎	○	○~◎
Module size	△	◎	△~○	○~◎
For movie	◎	△	◎	△~○

Fig. 5. Comparison between CCD imager and CMOS imager: (a) before 2001, (b) after 2002 [5].

メージセンサに大きな差をつけられてしまい、産業的な成功には至らなかった。

現在の CMOS イメージセンサとして実用化されているものは、Active Pixel Sensor(APS) と呼ばれる、画素内部に読み出しアンプを実装されたものである。CMOS APS は 1993 年に発表され、CMOS イメージセンサが産業的に成功するブレークスルーであった。Fig.3 (b) に示すように、画素内部のアンプを介して読み出す方式は、「非破壊読み出し」と「高い読み出しゲイン」が大きな特徴といえる。画素構造は Fig.4 (a) に示すものを基本としており、PN 接合フォトダイオードにて発生した電荷をソースフォロア回路を介して読み出す 3 トランジスタ構造である。また、転送ゲインを上げるために、CCD 型の受光部を採用したフォトゲート方式 (b) なども提案された。これらの CMOS APS は、PPS における高解像度化による寄生容量増加の問題を解決し、画素内アンプのばらつきに対しては、非破壊読み出しを利用した列並列相関 2 重サンプリング (CDS) 回路の提案によって解決された。通常の CMOS プロセスで製造可能であることは、イメージセンサのコストを下げ、低い単一電源での動作は、カメラモジュールそのもののコストも下げた。1990 年代末には、暗電流や開口率の問題などにより、CCD イメージセンサの画質にはかなわないものの、実用レベルの画質を達成する。

3 「CCD vs. CMOS」競合の変遷

3.1 カメラ付き携帯電話の登場 (2000 ~ 2002 年)

2000 年頃から、携帯電話や玩具などにイメージセンサが搭載されるようになり、CMOS イメージセンサの利点が注目された。当時の CCD イメージセンサは主に放送用ビデオカメラや、高画質が売りのデジタルカメラなどを主な市場としており、動画撮影や高画質静止画が研究開発の主たる目的であった。一方、携帯電話に要求されたカメラモジュールは、低消費電力、低コスト、小型なモジュール構成が最重要課題であった。その理由は、表

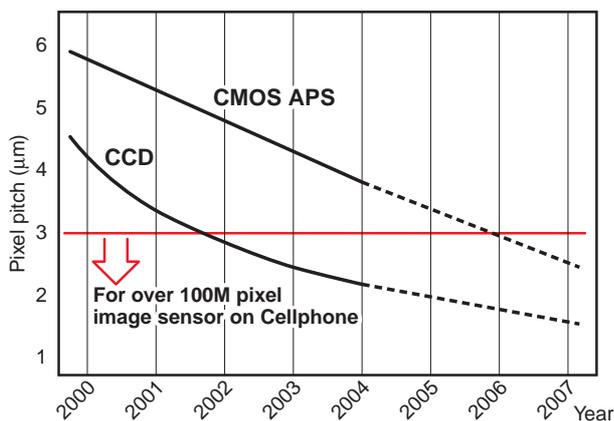


Fig. 6. Pixel pitch of CCD and CMOS APS [5, 7].

デバイスの解像度が低かったことや、動画撮影を要求するまで市場が成熟していなかったことなどが挙げられるが、少なくとも当時の市場が要求するイメージセンサは、CMOS APSの先天的な利点と一致していた。当時のCMOSイメージセンサとCCDイメージセンサに対する認識を図5(a)に示す。画質有利のCCDイメージセンサは、高画質デジタルカメラや放送用機器などハイエンド市場を中心に広がり、電力およびコスト有利のCMOSイメージセンサは、携帯電話や光学式マウスなど画質を追求されない市場を中心に広がった。そして、光学式マウスが受け入れられ、さらに、カメラ付き携帯電話の爆発的なヒットにより、CMOSイメージセンサはCCDイメージセンサと市場を二分する撮像素子として定着するようになった。明確な特徴の差異により、棲み分けがなされ競争を起すことは少なかったが、携帯電話の普及が急速に加速する中、成熟の域に入りつつあったCCDイメージセンサと比較して、研究開発が盛んにされるCMOSイメージセンサに注目が集まり、「CCDイメージセンサは21世紀に生き残れるか?」という議論すらあった。

3.2 高解像度化による画質の追求 (2002~2004年)

2002年頃から、30万画素を超えるイメージセンサが携帯電話に搭載され、100万画素も視野に入ってくると、携帯電話のイメージセンサが単なるオマケ要素ではなく、「カメラ」としての画質を要求されるようになる。また、限られたモジュールサイズで高い解像度を実現するには、小さな光学寸法に多くの画素を実装する、すなわち、画素ピッチを縮小する必要がある。つまり、

- 美しい画質
- 小さな画素ピッチ

の2点が、携帯電話搭載用のイメージセンサにも強く求められることになった。このような背景から、この2つの条件を満たしていたCCDイメージセンサが、カメラ付き携帯電話市場をCMOSイメージセンサから奪うことになる。

2002年頃のCCDイメージセンサおよびCMOSイメージセンサの位置づけは、2000年当初とは異なりFig.5(b)のように、その境界があいまいになっていた。CCDイメー

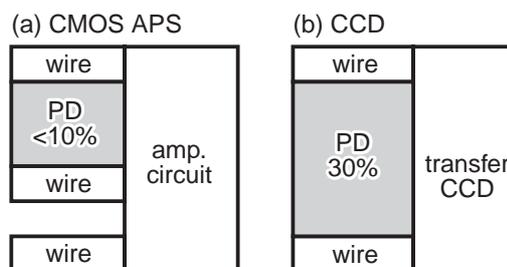


Fig. 7. $2.8 \mu\text{m}$ -pitch pixel layout: (a) CMOS APS, (b) CCD.

ジセンサは低消費電力化と周辺回路のワンチップ化を押し進めた。たとえば、フルフレーム方式の問題であったスミア雑音などを画像演算処理によって除去する技術を考案することで、 $12\text{V} - 15\text{V}$ の水平転送を不要とし、 $7\text{V} - 8\text{V}$ 程度の垂直転送のみで高画質撮影を可能とした[6]。中耐圧プロセスでの製造が可能となり、デジタル回路などの集積も容易としている。このような技術により、CCDイメージセンサは消費電力およびコストの点で、CMOSイメージセンサに近づいていた。一方、CMOSイメージセンサは高画質化を狙った埋め込みフォトダイオードの採用などで、画質改善を図った。一方で、プロセスが複雑化しコストが高まっていた。こうした棲み分けの境界があいまいとなることで、両者の関係は競合へと変化した。

2000年以降のCMOSイメージセンサおよびCCDイメージセンサの画素ピッチの変遷をFig.6に示す。携帯電話への100万画素イメージセンサ搭載が実現する2003年前後では、携帯電話機に搭載可能なモジュールは「高さ7mm台、光学寸法1/4」が上限といわれていた[7]。そこから試算すると、100万~130万画素を実現するには画素ピッチが $3 \mu\text{m}$ 以下でなければならない。一方、画素ピッチを小さくするには、単に製造プロセスを微細化させればよいというだけではない。画素寸法が小さくなると受光量が減少し、画質が劣化する。単位面積当たりの感度向上が欠かせず、各メーカーの技術力が最も問われる部分であるが、その構造上の点から、Fig.6に示すようにCCDイメージセンサの方がピッチの縮小が早かった。Fig.7(a)に示すように、埋め込みフォトダイオードを用いたCMOS APSの画素回路は横方向に3本の配線とアンプ回路が必要である。このため、画素ピッチを縮小し、 $2.8 \mu\text{m}$ 程度に達すると、受光部の開口率は10%以下になってしまう。CCDイメージセンサは構造がより単純であるため、 $2.8 \mu\text{m}$ ピッチにおいても30%程度の開口率を実現できる。このような理由から、2002年から2003年にかけて、100万画素を超える携帯電話のイメージセンサの選択肢からCMOSイメージセンサが姿を消すことになった。

4 画素ピッチの予測と実際

前節における「CCD vs. CMOS」の変遷をみると、2004年以降の競合のキーは、画素ピッチの縮小による高解像度化と、トレードオフにある感度やS/Nといった画質の改善であるといえる。もちろん高解像度化を実現するために、従来から画素ピッチの縮小は取り組まれていた。ここにきて、それが決定的な課題とされるのには、従来の

	1980	1983	1986	1989	1992	1995	future prospects				
	1998	2001	2004	2007	2010						
Minimum lithographic feature size (μm)	2	1.5	1.0	0.7	0.5	0.35	0.25	0.18	0.13	0.1	0.07
CMOS imager pixel size (μm)	40	28	20	14	10	7	5	5 (3.5)	5 (2.45)	5 (1.72)	5 (1.2)
Fill factor (%)	25	25	25	25	25	25	25	53 (25)	82 (25)	91 (25)	96 (25)

Fig. 8. Future prospects at 1996 [8].

取り組みでは限界に至ったからである。2004年現在における画素ピッチの推移と予測は Fig.6 に示した通りであるが、1996年と2000年、それぞれの時点における画素ピッチ縮小の限界における予測は興味深い [8, 9]。

4.1 1996年時点での画素ピッチ縮小に対する見解

1996年時点での画素ピッチ縮小に対する検討 [8] では、有名な「Mooreの法則」 [10] にもとづくプロセステクノロジーの変遷と、1996年以降の予測について論じている。Fig.8はその予測の一部であるが、興味深いのはCMOSイメージセンサの画素ピッチはプロセステクノロジーの変遷に従って縮小してきたが、2001年を境に $5\mu\text{m}$ ピッチで限界に達すると結論している。ここでは、その理由のひとつとしてレンズの回折限界を挙げているが、光電変換ゲインやS/Nなどの側面からの検討により、 $0.25\mu\text{m}$ プロセス以降では、CMOSイメージセンサのトレンドが標準CMOSテクノロジーから離れていくだろうと述べている。Fig.9はノイズレベルに関する検討結果である。

4.2 2000年時点での画素ピッチ縮小に対する見解

2000年時での画素ピッチ縮小に対する検討 [9] では、簡単なモデル式からダイナミックレンジ (DR) と SN 比 (SNR) の画素サイズに対する傾向を見積もっている。ダイナミックレンジは以下の式で表現できる。

$$\begin{aligned}
 DR &= 20 \log_{10} \frac{i_{\max}}{i_{\min}} \\
 &= 20 \log_{10} \frac{q_{\max} - i_{dc} t_{int}}{\sqrt{\sigma_r^2 + q i_{dc} t_{int}}} \quad (1)
 \end{aligned}$$

ここで i_{\max} は飽和しない電流信号の最大値、 i_{\min} は検出可能な最小値である。また、 q は電子の電荷量、 i_{dc} は暗電流、 t_{int} は蓄積時間、 σ_r^2 は kTC ノイズ (リセットノイズ) が支配的なノイズ成分である。また、SN 比は光電流 i_{ph} の関数として以下の式で表現される。

$$SNR(i_{ph}) = 20 \log_{10} \frac{i_{ph} t_{int}}{\sqrt{\sigma_r^2 + q(i_{ph} + i_{dc}) t_{int}}} \quad (2)$$

支配的なノイズ成分として、リセットノイズ、光ショットノイズ、暗電流ショットノイズを考慮している。これらのモデル式導出は [11] に詳しい。Fig.10 に画素サイズとダイナミックレンジおよび SN 比の関係を示す。最大電荷量 q_{\max} は受光部容量 C と電圧振幅 V_s の積であり、画素

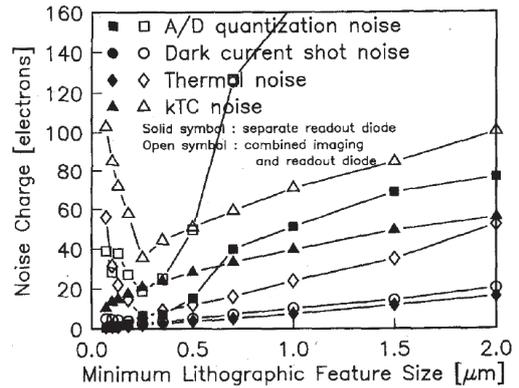


Fig. 9. Input referred noise charges as a function of the minimum feature size [8].

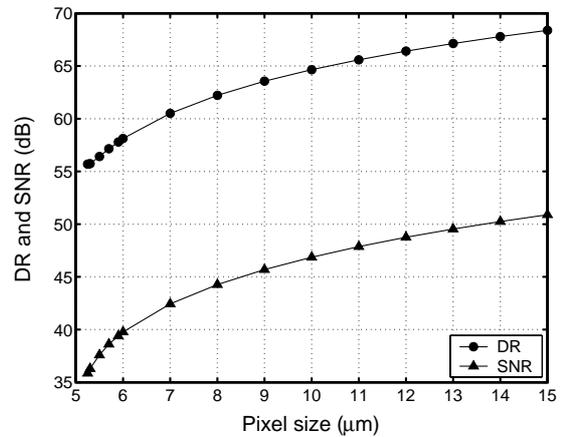


Fig. 10. Dynamic range and signal-to-noise ratio as a function of pixel size [9].

サイズの縮小に比例して C と kTC が減少することから、ダイナミックレンジが劣化する。また、画素サイズの減少により光電流 i_{ph} が減少し、SN 比も劣化することがわかる。リセットノイズは CDS 回路によってほぼ完全に除去することが知られているが、ショットノイズに関しては電子/光子の物理的揺らぎであるため不可避である。これらは入力量子数の平方根に比例して確率的に揺らぐため、入射光の増加と1画素あたりの取り扱い光量子の数を増やすことが画質向上には欠かせない。これが画素サイズをむやみに小さくできない大きな理由となっている。

Fig.11 は各プロセステクノロジーにおける画素サイズと画質の評価である。ここではカメラシミュレータと S-CIELAB [12] を用いて得られた画像と、完全な

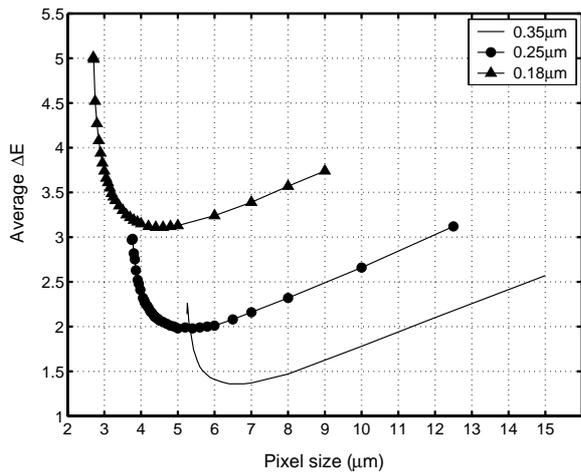


Fig. 11. Average ΔE versus pixel size as technology scales (estimated at 2000) [9].

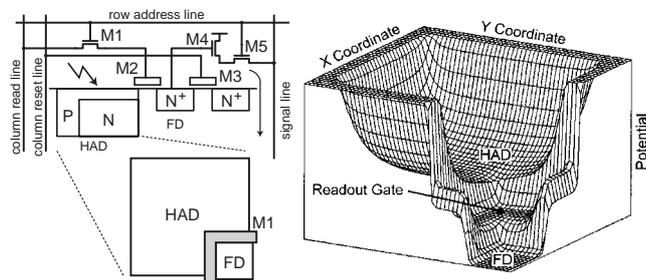


Fig. 12. Buried photodiode structure with a transfer gate and a floating diffusion region [13].

CSF(Contrast Sensitivity Function) 画像との比較によるノイズ評価基準 ΔE を示している。 ΔE が小さいほど画質がよいといえる。この評価では、チップサイズを一定とし、画素サイズが縮小することで解像度が上がると仮定している。この結果から、現状の標準 CMOS プロセスによる CMOS イメージセンサでは、 $0.25 \mu\text{m}$ プロセス以降では急激に画質が劣化するという 1996 年当初と同じ結果が得られている。また、画素サイズに関しても、プロセス微細化が進んでも $5 \mu\text{m}$ ピッチ程度が限界であるという結論に至っていた。

5 CMOS イメージセンサの画素小型化技術

2004 年現在、当時の予測に反して画素の小型化が進んでいる。これは、予測が完全に外れたわけではなく、ひとつは $0.25 \mu\text{m}$ 以降は標準 CMOS プロセスから脱却する必要があるという示唆に従ったためといえる。Fig.6 に示したように、携帯電話搭載に向けた 100 万画素以上のデバイス ($3 \mu\text{m}$ ピッチ以下) を実現できなかった CMOS イメージセンサであるが、2003 年には 1996~2000 年の予測で限界とされた $5 \mu\text{m}$ を下回り、 $4 \mu\text{m}$ に近づいている。本節では、現在の標準 CMOS プロセスから脱却した受光部の改善による高画質化の技術 [13]-[17] を簡単に紹介する。さらに、2004 年 2 月には、 $3 \mu\text{m}$ 前後の CMOS イメージセンサ [18]-[20] が相次いで発表され、画素ピッチの推移 (Fig.6) を大きく加速した。これにより、2004 年以降の

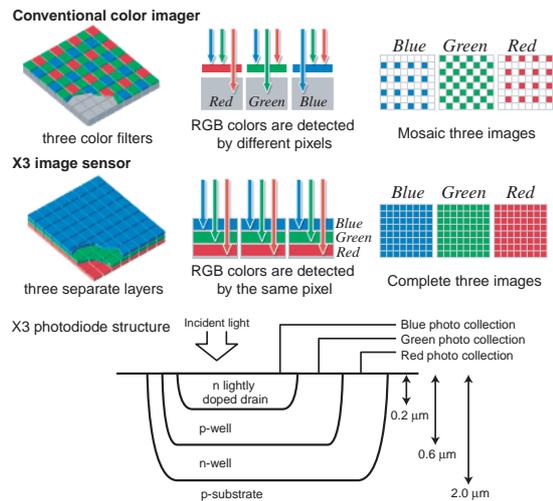


Fig. 13. Sensing scheme and photodiode structure of X3 [14].

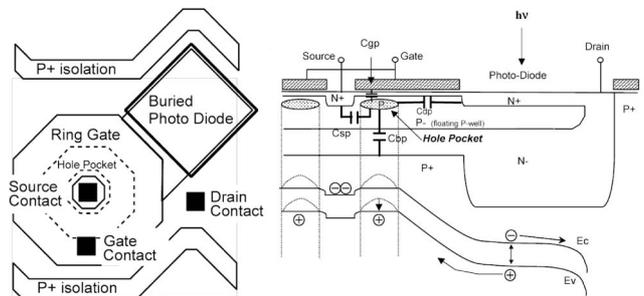


Fig. 14. VMIS pixel structure [16].

「CCD vs. CMOS」の行方が再び CMOS イメージセンサ優位へと傾いている。これらの CMOS イメージセンサの最新技術を紹介する。

5.1 標準 CMOS プロセスからの脱却

前述のように標準 CMOS プロセスによる高解像度化・高画質化の限界は指摘されており、それに従い 2000 年頃から脱標準 CMOS プロセスの“CMOS イメージセンサ”が開発された。現在の CMOS イメージセンサで広く使われている受光構造は、埋め込みフォトダイオードによるもの [13] である。Fig.4(b) のフォトゲート型 CMOS APS と同様に、電荷転送による高い変換ゲインを実現でき、フォトゲート型 CMOS APS における薄膜ゲート電極の形成プロセスや、その電極による光の吸収の問題を解決している。また、CCD 同様に受光部が基板表面に出ないため、結晶欠陥で発生する暗電流を低く抑えることができ、高い S/N 比も実現している。これにより 2002 年以降、現在までの CMOS イメージセンサは、高い画質を実現しながら画素ピッチを $4 \mu\text{m}$ まで縮小することができた。このようにして、CMOS イメージセンサは CCD イメージセンサに匹敵する画質を実現するとまでいわれはじめたが、Fig.5(b) に示したように、画質向上のためにプロセスコストを犠牲にしてきたといえる。

埋め込み PD の採用が CMOS イメージセンサに CCD の要素を取り入れたアプローチであるのに対し、CCD と

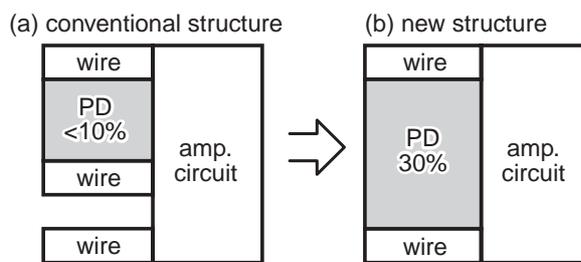


Fig. 15. 2.8 μm -pitch pixel layout: (a) the conventional structure (see Fig.7(a)), (b) a new structure.

は異なる斬新なアプローチで高画質・画素ピッチ縮小を図った CMOS イメージセンサとして、X3 方式 [14, 15] や VMIS 方式 [16, 17] とよばれる CMOS イメージセンサがある。X3 方式は Fig.13 に示すように、深さ方向に 3 層の受光部を形成し、光の侵入長が波長によって異なるという減少を利用して RGB 色情報を 1 画素で取得することができる。これによりカラーフィルタを不要とし、偽色のないシャープな画像を得ることができる。また、従来の 3 あるいは 4 画素に相当する情報を 1 画素で取得するため、実効的な解像度を高くすることができる。VMIS 方式は、Fig.14 に示すような埋め込みフォトダイオードとひとつのトランジスタでリセット、選択、読み出しの動作を実行できる方式である。リングゲート直下に高濃度の p+領域 (Hole Pocket) を形成し、蓄積されたホールの量に応じて変化する閾値を読み取ることで画像を得る。数種類の制御電圧信号が必要だが、20%の開口率を有する 4.2 μm ピッチの画素を実現している。また、リセットトランジスタの寄生容量やクロストークノイズが無視できるなど、画質の点でも利点を有している。この 2 方式は 2002 年に相次いで発表され、現在では実用化に至っている。

5.2 回路共有による画素ピッチ縮小技術

標準 CMOS プロセスからの脱却により、暗電流の低減が実現され、物理的に不可避なショットノイズが画質を決める主要因となってきた。これにより、充分な開口面積を確保できる場合は CCD に匹敵する画質を実現可能となったが、3 μm 前後の画素ピッチにおいては、Fig.7 に示したように、開口率の減少によるショットノイズ増加の問題が残っていた。2004 年 4 月、Canon、松下電器産業 (以下、松下)、Sony の 3 社はそれぞれ、埋め込みフォトダイオードによる電荷完全転送を利用した読み出しアンプの共有技術と、プロセスの高さ方向の最適化などによって画素ピッチ縮小のブレークスルーを発表した。これらの技術は、Fig.15 に示すように、受光部面積の占有率を上げることに成功し、2.8 μm 画素ピッチにおいても 30%前後の開口率を実現、CCD に匹敵する画質を提供可能とした。

Fig.16 は松下の発表した「 $\nu\text{MAICOVICON}$ 」 [19] の画素構造である。前述した通り、主な CMOS イメージセンサは標準 CMOS プロセスのまま製造されることは少なく、なんらかのカスタマイズが加えられている。そのため、現

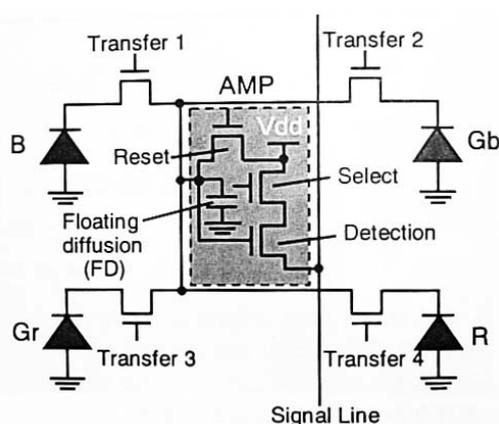


Fig. 16. Pixel structure [19, 21].

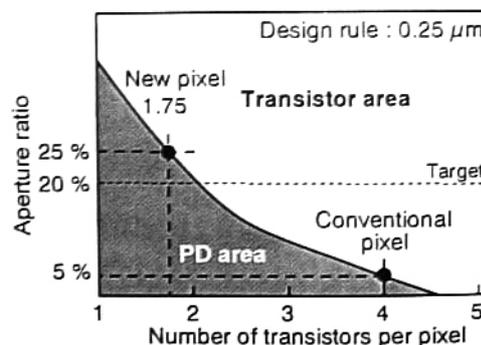


Fig. 17. Fill factor as a function of the number of transistors per pixel [19, 21].

在では、CMOS イメージセンサは標準 CMOS プロセスのイメージセンサという意味ではなく、電荷を各画素内の MOS トランジスタ・アンプを用いて増幅し、XY アドレスで外部へ読み出す方式のイメージセンサを指すようになってきている。一方で、各社はそれらのイメージセンサを別名で表現することが多い。松下の「 $\nu\text{MAICOVICON}$ 」や東芝の「Dynastron」などがその例である。読み出し方式に注目した現在の解釈では CMOS イメージセンサそのものであるが、各社が名称を変えるのには、「CMOS イメージセンサは画質が良くない」という消費者の旧来からの印象を配慮しているためである。本稿では、読み出し方式をもって CCD イメージセンサと CMOS イメージセンサに分類している。

Fig.16 は、4 画素で信号検出アンプ回路を共有している。信号検出アンプは FD 部と 3 個のトランジスタから構成で構成される。このため、4 画素を 1 ユニットとして合計 7 個のトランジスタで構成されており、1 画素あたり 1.75 トランジスタとなっている。[19] では、0.25 μm プロセスを用いて 2.25 μm 画素ピッチ、開口率 25% という CCD イメージセンサに匹敵する画素サイズと開口率を達成している (Fig.6, Fig.7, Fig.15 参照)。Fig.17 は、2.25 μm 画素ピッチにどれだけの開口率が確保できるか、画素内のトランジスタ数に対して見積もった結果である。従来構成では、1 画素あたり 4 トランジスタ必要となり、開口率は 5%程度となってしまふ。アンプ回路の共有構造は、25%の開口率を実現し、CCD に匹敵する画質を実現可能

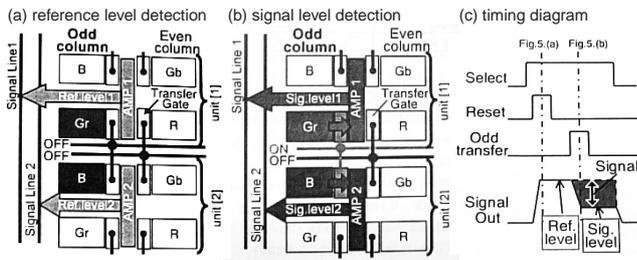


Fig. 18. Readout operation diagram [19, 21].

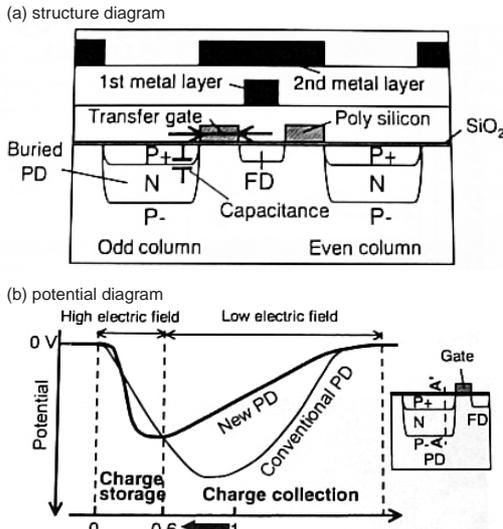


Fig. 19. Device structure [19, 21].

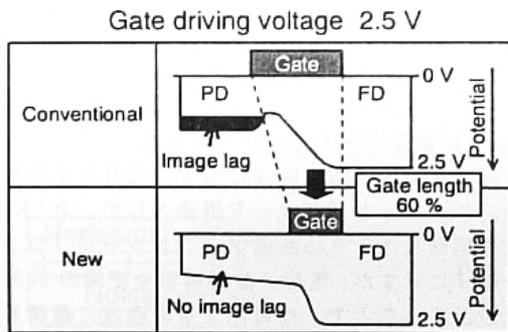


Fig. 20. Potential diagram of a readout part [19, 21].

とする。

Fig.18に、4画素共有型構造の動作図を示す。転送ゲートがOFFの状態ではリセットし、リセット時の出力信号を参照レベルとしてCDS回路で保持する。転送ゲートをONにすると、蓄積電荷がFDへ完全転送され、信号レベルを出力する。設計上の理由と考えられるが、行選択線は上下2ユニットの隣接画素で共有している。Fig.19に受光部の構造とポテンシャル図を示す。2.5Vの低電圧動作で電荷完全転送を行なう工夫として、

- 非対称電界フォトダイオード構造
- 短ゲート長フォトダイオード電荷読み出し構造

を提案している。電荷蓄積領域を従来の60%の深さとすることで、低電圧でも高密度に電荷を蓄積でき、広ダイナミックレンジを実現する高電界領域を設けている。また、フォトダイオード深部をP⁻とすることで、フォトダ

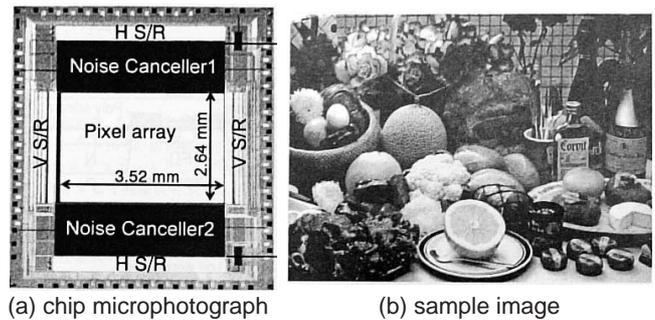


Fig. 21. Chip microphotograph and sample image [19, 21].

Table 1. Chip specifications [19].

Pixel size	2.25 $\mu\text{m} \times 2.25 \mu\text{m}$
Optical format	1/4 inch
The number of pixels	1616 (H) \times 1217 (V) = 2 M
Transistors per pixel	1.75
Fill factor	25 %
Saturation	5000 electrons
Sensitivity	3800 electrons/lx \cdot s
Frame rate	15 frames/s
Image lag	No image lag
Power supply voltage	2.5 V

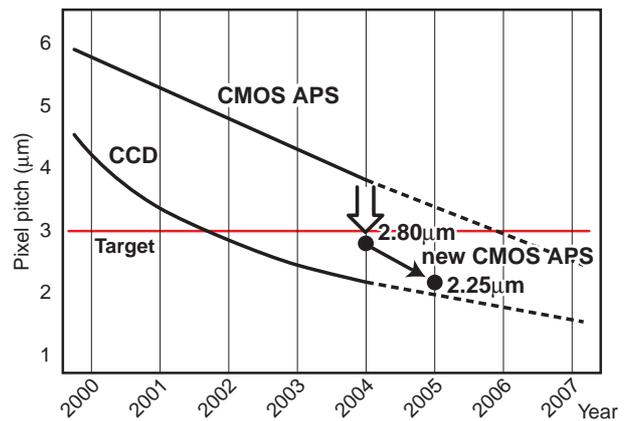


Fig. 22. Leading-edge trend of pixel pitch of CCD and CMOS APS.

イオード深部分で発生する電荷を効率よく集め、高感度を実現できる低電界領域も設けている。さらに、Fig.20に示すように、読み出しゲート長を従来の60%短縮することで、FDに印可された電圧のフリッジング電圧がフォトダイオードに到達し、残像を完全に無くすることができる。

Fig.21に試作されたイメージセンサと撮像例を示す。本センサは、1/4型光学サイズの撮像領域(3520 $\mu\text{m} \times 2640 \mu\text{m}$)に200万画素を集積している。センサ仕様をTable 1にまとめる。

6 現在の「CCD vs. CMOS」

CCDおよびCMOSイメージセンサの画素ピッチの変遷(Fig.6)に最新のCMOSイメージセンサ技術を加味すると、Fig.6のようになる。前節で紹介した技術による2.25 μm 画素ピッチのイメージセンサ量産は2004年末になる見込みだが、同技術による2.80 μm 画素ピッチの製品は量産が始まっている。2004年以降、CMOSイメージセン

Table 2. Comparison among the latest and scheduled products of CCD and CMOS imagers [7].

	Types	Pixel reso.	Pixel pitch	Min. lux.	Power	Commercial production
Matsushita	CMOS	2 M	2.8 μm	5 lx (7.5 fps)	2.9 V	Mar. 2004
Sony	CMOS	2 M	2.9 μm	5 lx (15 fps)	2.7/1.8 V	3rd Qtr of 2004
Toshiba	CMOS	1.3 M	3.3 μm	5 lx	2.8/1.5 V	2nd Qtr of 2004
Renesas Tech.	CMOS	1.3 M	3.8 μm	—	2.85/1.85 V	3rd Qtr of 2004
Micron Tech.	CMOS	1.3 M	3.6 μm	3 lx	2.5 ~ 3.1 V	Now available
Sony	CCD	1.3 M	3.125 μm	5 lx (15 fps)	12.5/5/3/-6.5 V	Mar. 2003
Sharp	CCD	2 M	3.2 μm	2 lx (5 fps)	15 ~ -8 V	Dec. 2003
Sanyo	CCD	1 M	2.7 μm	—	2.9 V	Aug. 2004
Fuji Film	CCD	1 M	—	2 lx	3.2 ~ 5.5 V	Oct. 2003

サが画質/解像度の点でも猛追することが予想され、カメラ付き携帯電話のマーケットからは、既に200万~300万画素のCMOSイメージセンサの要求がメーカーに殺到しているという[22]。Table 2に、現在量産、あるいは量産予定である各社のCMOSおよびCCDイメージセンサの仕様の一部をまとめた。画質などは最小被写体照度だけで評価されるものではなく、また、各イメージセンサの性能を一般化することは困難である。しかし、100万画素では一歩遅れをとったCMOSイメージセンサであるが、年内に予定されている高解像度CMOSイメージセンサは、フレームレートを加味するとCCDイメージセンサとほぼ同等の画質が期待できるといえる。さらに、従来からの特徴である低電圧電源動作や、コストの面で未だCCDイメージセンサに利点を維持しているCMOSイメージセンサが、今後の高解像度カメラ付き携帯電話からデジタルカメラといったハイエンド市場にてCCDと競合するのは間違いないと考えられる。

7 まとめ

本論講では、議論され続ける一方で、目まぐるしく予測と結果が変わる「CCDイメージセンサ vs. CMOSイメージセンサ」のこれまでの変遷をまとめ、現在の状況と最新技術動向について紹介した。CMOSイメージセンサが再びCCDイメージセンサの市場を脅かす理由を検討し、2004年以降の1~2年はCMOSイメージセンサに注目が再び集まると考えられる。今回は主にCMOSイメージセンサ側から検討をしたが、CCDイメージセンサもCMOSイメージセンサの利点を取り込むべく、低電源供給への取り組みなどが消費電力低減などを実現している。一方で、CCDに匹敵する画質を実現することで、次世代の市場といわれる車載用途など、高機能化を要求する応用と親和性の高いCMOSイメージセンサが大きく躍進する可能性は高い。双方の技術向上が互いの予測を裏切り、それにより進歩してきたイメージセンサは、今後もCCDとCMOSイメージセンサの競合によって新しい価値を生み出していくと考えられる。

参考文献

- [1] 日経エレクトロニクス 2003年2月号, No. 840, 日経BP社.
- [2] G. P. Weckler, "Operation of p-n junction photodetectors in a photon flux integration mode," *IEEE J. Solid-State Circuits*, vol. SC-2, pp. 65-73, 1967.
- [3] W. S. Boyle and G. E. Smith, "Charge-coupled semiconductor devices," *Bell Systems Technical Journal*, vol. 49, pp. 587-593, 1970.
- [4] E. R. Fossum, "Active Pixel Sensors: Are CCD's Dinosaurs?," in *Proc. SPIE*, vol. 1900, pp. 2-14, 1993.
- [5] 日経マイクロデバイス 2003年1月号, No. 211, 日経BP社.
- [6] SANYO NewRelease, Feb. 7, 2001 (<http://www.sanyo.co.jp/koho/hypertext4/0102news-j/0207-2.html>)
- [7] 日経エレクトロニクス 2004年4月号, No. 226, 日経BP社.
- [8] H. S. Wong, "Technology and Device Scaling Considerations for CMOS Imagers," *IEEE Trans. Electron Devices*, vol. 43, no. 12, 1996.
- [9] T. Chen, P. Catrysse, A. E. Gamal, and B. Wandell, "How Small Should Pixel Size Be?," in *Proc. SPIE*, vol. 3965, pp. 451-459, 2000.
- [10] G. E. Moore, "Cramming More Components Onto Integrated Circuits," *Electronics*, vol. 38, no. 8, pp. 114-117, 1965.
- [11] D. X. Yang and A. E. Gamal, "Comparative Analysis of SNR for Image Sensors with Enhanced Dynamic Range," in *Proc. SPIE*, vol. 3649, pp. 197-211, 1999.
- [12] Z. Zhang and B. A. Wandell, "A Spatial Extension of CIELAB for Digital Color Image Reproduction," *Society for Information Display Symposium Technical Digest*, vol. 27, pp. 731-734, 1996.
- [13] K. Yonemoto and H. Sumi, "A CMOS Image Sensor with a Simple Fixed-Pattern-Noise-Reduction Technology and a Hole Accumulation Diode," *IEEE J. Solid-State Circuits*, vol. 35, no. 12, 2000.
- [14] Foveon Inc., <http://www.foveon.com/>
- [15] United States Patent 5,965,875
- [16] T. Miida, K. Kawajiri, H. Terakago, T. Endo, T. Okazaki, S. Yamamoto, and A. Nishimura, "A 1.5M Pixel Imager with Localized Hole-Modulation Method," *IEEE ISSCC Dig. of Tech. Papers*, pp. 42-43, 2002.
- [17] United States Patent 6,051,857
- [18] H. Takahashi, M. Kinoshita, K. Morita, T. Shirai, T. Sato, T. Kimura, H. Yuzurihara, and S. Inoue, "A 3.9 μm Pixel Pitch VGA Format 10b Digital Image Sensor with 1.5-Transistor/Pixel," *IEEE ISSCC Dig. of Tech. Papers*, pp. 108-109, 2004.
- [19] M. Mori, M. Katsuno, S. Kasuga, T. Murata, and T. Yamaguchi, "A 1/4in 2M Pixel CMOS Image Sensor with 1.75 Transistor/Pixel," *IEEE ISSCC Dig. of Tech. Papers*, pp. 110-111, 2004.
- [20] K. Mabuchi, N. Nakamura, E. Funatsu, T. Abe, T. Umeda, T. Hoshino, R. Suzuki, and H. Sumi, "CMOS Image Sensor Using a Floating Diffusion Driving Buried Photodiode," *IEEE ISSCC Dig. of Tech. Papers*, pp. 112-113, 2004.
- [21] 春日 繁孝, 森 三佳, 勝野 元成, 村田 隆彦, 山口 琢己, "1.75トランジスタ画素構成による1/4型200万画素CMOSイメージセンサ," 映像情報メディア学会技術報告, vol. 28, no. 23, pp. 31-34, 2004.
- [22] 日経マイクロデバイス 2004年3月号, No. 225, 日経BP社.