

1 はじめに

大規模集積回路 (VLSI) の高集積化と電源電圧の低下に伴い、電源線に発生するノイズが回路の信頼性に大きな影響を与えるという問題がある。ノイズの影響が過度になると信号の伝搬速度を低下させたり、偽スイッチングを引き起こし、回路が誤動作する原因となる。したがって、電源線に発生するノイズを正確にかつ効果的に評価する必要性が高まってきている。

与えられた入力信号パターンに対してならば、一般的な回路シミュレータと比較しても精度良く電源ノイズを見積もることのできる手法が提案されている [1][2][3]。しかし、電源ノイズを見積もる上で最も難しい点の一つは電源線の電圧波形はプライマリインプットの時系列に依存することである。回路が n 個のプライマリインプットを有する場合、電圧降下の最大値を正確に求めるには 4^n 種類の入力パターンを繰り返し与える必要がある。プライマリインプット数が比較的小さくても、全入力パターンに対してシミュレートをするのは計算時間の面で実用的とはいえない。そこで、最近では様々な入力パターンに対して各々の電源電圧降下を求めるのではなく、最大の電源電流や電源電圧降下を与えるような入力パターンを検索する手法が提案されている [4][5]。[4][5] では、注目するブロックに流れる最大電流を与える入力パターンを遺伝的アルゴリズム (GA) を用いて検索する手法が提案されている。しかし、得られた入力パターンがそのブロック内の全ての電源線ノードに対して最大の電圧降下を与えるとは限らない。一方、GA のように入力パターンを検索するのではなく、入力パターンを指定しなくても静的に最大電流を見積もるアルゴリズムが [6] で提案されている。[6] では、電源ノイズを引き起こす原因となるスイッチング電流を直角三角形で近似し、不確定波形 (Uncertainty waveform) と呼ばれるグラフから、回路全体の電源線に流れる最大電流を求める。この最大電流は Maximum Envelope Current (MEC) と呼ばれ全ての入力パターンを網羅した最大包絡電流である。[7][8] では、MEC を用いて、静的に注目するノードにおける最大電源電圧降下を見積もることができる。

[6] で用いられる手法は入力パターンを指定しなくてもゲート数に比例した計算時間で静的に最大電流を求めることができる優れたアルゴリズムである。しかし、このアルゴリズムには以下の問題点が存在する。

1 点は、MEC が最大の電源電圧降下を与えると仮定している点である。しかし、電源配線にインダクタンスが含まれている場合にはこの仮定は成立しない。というのも、 ΔI ノイズの最大値は、電源電流が最大の時ではなく、電源電流の時間変化率が最大になった時に発生するからである。今後、インダクタンスの影響を考慮する必要性が高まってくる [9] ために、この仮定が成立しなくなってくることが予想される。

もう 1 点は、[6] では全ての信号相関 (signal cor-

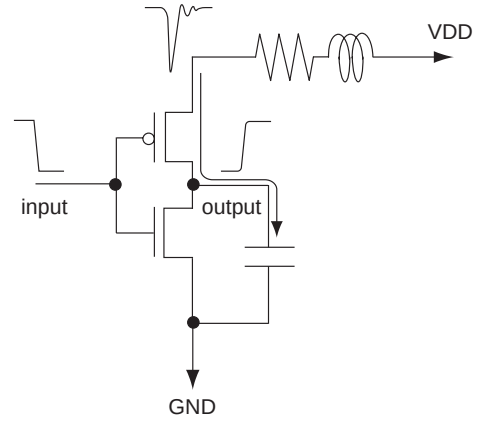


図 1: 電源ノイズの発生

relation) を無視している点である。通常、回路の内部ノードの信号には相関があり、ゲートの出力に生じる遷移数を制限する。そのため、[6] では実際には存在しない状態遷移をとりうるために、最大電流が大きく見積もられてしまうという問題がある。しかし、全ての信号の相関を考慮すると、膨大な計算時間を要してしまう。[7][8] では制約グラフ (constraint graph) によってとなりあったノードの相関を考慮して、最大電源電圧降下を見積もる手法が提案されているが、回路全体の相関を考慮していないために過大評価される可能性がある。また、回路規模の増加にともない、HSPICE と同程度の増加率で計算時間が増加している。

本研究では、電源配線のノイズの見積もりにおいて、電源電圧降下の最大値が必ずしも必要ではなく、ノイズの影響の度合いが分かれば良いという点に着目した。我々は、ノイズの影響の度合いとして平均電源電圧降下と電源電圧降下 2 乗平均でノイズの大きさを見積もる。さらに電源ノイズ波形の期待値を見積もることも可能である。第 2 章では VLSI 中の電源配線における電圧変動の評価を、配線を分割し、各々の F 行列を用いて伝達関数を求めることによって回路中の全電源線ノードの電源ノイズの影響を高速に見積もる手法を説明する。第 3 章では、提案手法を幾つかのベンチマーク回路に適用し、HSPICE と精度及び計算時間の比較を行う。第 4 章において本稿のまとめを述べる。

2 電源ノイズの見積もり

2.1 電源ノイズの発生要因

図 1 に示すように、入力信号が Hi から Low に変化する際に電源線内を電流が流れ、負荷容量が充電される。電源線を電流が流れることで、電源線の抵抗成分およびインダクタンス成分により電源線の電圧が変動することをデジタル回路における電源ノイズと呼ぶ。本研究では、回路内の全ての電源線ノードにおける電源ノイズの影響を高速に見積もることが目標である。

2.2 伝達関数を用いた見積もり手法

デジタル回路におけるスイッチング電流は一般的に複雑な波形をしている。本研究では、電源ノイズを高速に見積もることが目標であるために、スイッチング電流を三角波で近似することにする [9]。三角波の波形は出力容量やゲート幅などから決定する。

電源線のネットワークは、電源線にループが存在するジェネラルグラフとツリー構造であるマルチパッドツリー及びシングルパッドツリーの3種類に分類される [10]。本研究では、電源線のネットワークはツリー構造で表されると仮定する。この時、ノードごとに分割されたF行列から伝達関数を計算することで、電源ノイズを見積もる計算時間を劇的に減らすことができる。回路が完全なツリー構造でない場合でもF行列をY行列に変換することにより伝達関数を計算することができる。

まず、はじめに電源線をセル単位で、F行列のブロックに分割する。分割後、F行列の乗算や変換を行うことにより任意のノードからノードへの伝達関数を求めることができる。このように、F行列から得られる伝達関数を用いて電源電圧変動を計算することにより、例えばHSPICEといった回路シミュレータで使われるような大規模な行列演算を行う必要がなくなる。[11]によれば任意の回路での行列演算は $O(n^3)$ である。ここで、 n はノード数である。一般的な回路では、行列内に零因子が多く存在しているため $O(n^{1.4-1.7})$ である。一方、提案手法では、全ての電源線ノードにおける電源ノイズの影響を $O(n)$ で求めることが可能である。

F行列に分割された電源線ネットワークは図2に示すようにモデル化される。本研究では電源線の抵抗はレイアウト図から抽出した。オンチップインダクタンスの抽出は非常に困難であるために今回はボンディングワイアのインダクタンスのみを考慮したが、オンチップインダクタンスを考慮した場合でも、一つのF行列内に組み込むことにより、演算量を増やすことなく全く同様な解析が可能である。

$\Delta V_j(\omega)$ を電源線ノードjに接続されているトランジスタのスイッチング電流によって生じるノードjにおける電源電圧変動とする。また、 $\Delta V_{down,j}(\omega)$ をノードjとノードjの子の方面から伝達されるノードjにおける電源電圧降下とする。 $\Delta V_{down,j}(\omega)$ は以下の式で表される。

$$\begin{aligned} \Delta V_{down,j}(\omega) &= \sum_k H_{j \rightarrow \text{child}[k] \rightarrow j}(\omega) \Delta V_{down,j \rightarrow \text{child}[k]}(\omega) \\ &+ \Delta V_j(\omega) \end{aligned} \quad (1)$$

ここで、 $H_{a \rightarrow b}$ はノードaからノードbへの伝達関数である。¹ツリーの各々のリーフからルートの方へ向

¹本稿では、“ $\rightarrow$ ”はポインタを表し、“ $\rightarrow$ ”は2つのノードの伝達関数の関係を表すことにする。

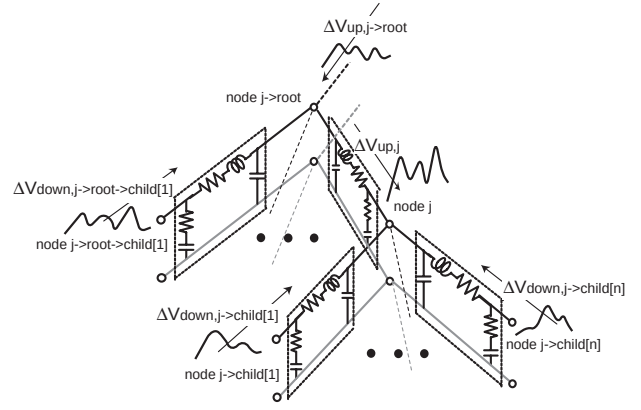


図 2: F 行列で表された電源線ネットワーク

けてスキャンし、その後各々のリーフへ向けてスキャンすることで、全てのノードにおける対地コンダクタンスを求めることができる。ノードjの対地コンダクタンスを $g_j(\omega)$ 、スイッチング電流を $\Delta I_j(\omega)$ とすると、 $\Delta V_j(\omega)$ は以下の式で与えられる。

$$\Delta V_j(\omega) = \frac{\Delta I_j(\omega)}{g_j(\omega)} \quad (2)$$

伝達関数 $H_{j \rightarrow \text{child}[k] \rightarrow j}(\omega)$ はF行列の乗算や変換を行うことにより容易に求めることができる。つまり、縦続接続については乗算、並列接続についてはY行列に変換した上で加算をし、再びF行列に変換すればよい。

再度、ツリーのリーフからルートに向けてスキャンすることで、式(1)から、任意のjに対して $\Delta V_{down,j}(\omega)$ を求めることができる。同様にして、 $\Delta V_{up,j}(\omega)$ も求めることができる。ここで、 $\Delta V_{up,j}(\omega)$ を、ノードjの親ノードから伝達されるノードjにおける電圧変動と定義する。 $\Delta V_{up,j}(\omega)$ は以下の式で表せる。

$$\begin{aligned} \Delta V_{up,j}(\omega) &= \sum_k H_{j \rightarrow \text{root} \rightarrow \text{child}[k] \rightarrow j}(\omega) \\ &\quad \times \Delta V_{down,j \rightarrow \text{root} \rightarrow \text{child}[k]}(\omega) \\ &+ H_{j \rightarrow \text{root} \rightarrow j}(\omega) \Delta V_{up,j \rightarrow \text{root}}(\omega) \\ &+ H_{j \rightarrow \text{root} \rightarrow j}(\omega) \Delta V_{j \rightarrow \text{root}}(\omega) \end{aligned} \quad (3)$$

式(1),(3)から全電源線ノードから伝達されるノードjにおける電源電圧変動 $\Delta V_{sum,j}(\omega)$ を以下の式から求めることができる。

$$\Delta V_{sum,j}(\omega) = \Delta V_{down,j}(\omega) + \Delta V_{up,j}(\omega) \quad (4)$$

2.3 確率的手法

提案手法により伝達関数の計算時間を $O(n)$ に減らすことができたとしても、実際の電源ノイズ波形は、入力パターンに依存するため電源ノイズの影響を求めるには、数多くの入力パターンを必要とする。した

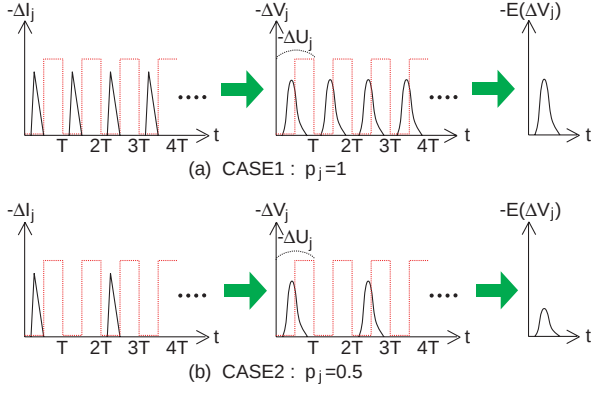


図 3: 確率的手法を用いた電源ノイズ波形の期待値の例

が、本稿では確率的手法を用いることで電源ノイズを高速に見積もることにする。

ノード j における電源電圧変動 $\Delta V_{sum,j}(t)$ を $t=0$ から $t \rightarrow \infty$ の間、観察した場合、周波数領域では、 $\Delta V_{sum,j}(\omega)$ は ω に対して連続的となる。しかし、ほとんどのゲートがオンするタイミングはクロックのエッジからの固有の時間を持つ場合が多く、スイッチングを行う場合はほとんど同じスイッチング波形が得られると期待される。したがって、ノイズ波形の期待値とパワースペクトルは、以下のように近似できる。

$\Delta U_j(\omega)$ をノード j がクロック毎にスイッチングを行う時にノード j に発生する電圧降下と定義する。したがって、 $\Delta U_j(\omega)$ は離散的である。ノード j の集合平均を以下のように表す。

$$E[\Delta V_j(\omega)] \equiv p_j \Delta U_j(\omega) \quad (5)$$

ここで、 p_j はノード j におけるゲートがオンになる確率である。例を図 3 に示す。

$E[\Delta V_{down,j}(\omega)]$ と $E[\Delta V_{up,j}(\omega)]$ は式 (1), (3), (5) から以下のように求められる。

$$\begin{aligned} & E[\Delta V_{down,j}(\omega)] \\ &= \sum_k H_{j \rightarrow child[k] \rightarrow j}(\omega) E[\Delta V_{down,j \rightarrow child[k]}(\omega)] \\ &+ p_j \Delta U_j(\omega) \end{aligned} \quad (6)$$

$$\begin{aligned} & E[\Delta V_{up,j}(\omega)] \\ &= \sum_k H_{j \rightarrow root \rightarrow child[k] \rightarrow j}(\omega) \\ &\quad \times E[\Delta V_{down,j \rightarrow root \rightarrow child[k]}(\omega)] \\ &+ H_{j \rightarrow root \rightarrow j}(\omega) E[\Delta V_{up,j \rightarrow root}(\omega)] \\ &+ p_{j \rightarrow root} H_{j \rightarrow root \rightarrow j}(\omega) \Delta U_{j \rightarrow root}(\omega) \end{aligned} \quad (7)$$

$E[\Delta V_{sum,j}(\omega)]$ は次式で与えられる。

$$E[\Delta V_{sum,j}(\omega)] = E[\Delta V_{down,j}(\omega)] + E[\Delta V_{up,j}(\omega)] \quad (8)$$

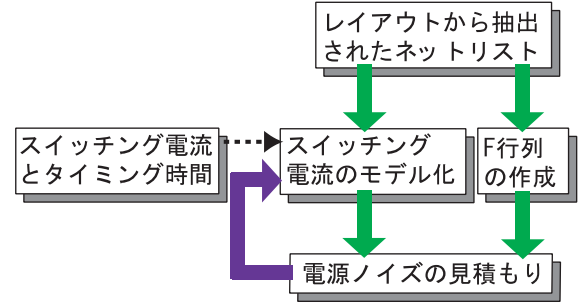


図 4: 電源ノイズ見積もり評価フロー

ノード j における電源ノイズのパワースペクトルを次式で定義する。

$$\Delta \Phi_j(\omega) \equiv E[\Delta V_{sum,j}(\omega) \Delta V_{sum,j}^*(\omega)] \quad (9)$$

式 (1) では計算時間を削減するために、各々のスイッチング確率には相関がないと仮定する。パワースペクトルを積分することにより、 ΔV^2 を求めることができる。

2.4 電流波形の近似値の改善

スイッチング電流の波形は、そのノードの電源線電圧に大きく依存する。はじめにスイッチング電流を、すなわち電源ノイズが発生していない状態でモデル化し、第一次の近似解を求める。次に各々のノードの雑音を含んだ電圧平均をもとにして、スイッチング電流を再度計算して電源ノイズを見積もり直すことにする。

図 4 に提案手法による電源ノイズ見積もりフローを示す。本稿では、各々のゲートのスイッチング確率とクロックのエッジからオンするまでの固有なタイミング時間は論理シミュレータによって求まっているものと仮定した。

3 評価結果

Sun Ultra60 Spark の環境のもとで ISCAS-85 の 4 つのベンチマーク回路に対して回路シミュレータ HSPICE と提案手法を見積もりの精度と計算時間において比較した。プロセスは標準的な $0.35\mu\text{m}$ CMOS (ポリ 2 層、メタル 3 層) を使用し、電源電圧を 3.3V に設定した。回路は Synopsys 社の Design Compiler で論理合成を行ない、Avanti 社の Apollo で配置配線を行なって、スタンダードセル方式を用いて作成した。評価条件として、各々の回路に対してプライマリインプットの遷移確率を 0.5 とし、動作周波数を 80MHz とした。HSPICE でノイズ解析を行う場合は、計算時間は入力パターン数にほぼ比例する形で増加する。回路によっても異なるが、およそ数 10 パターンの入力パターンを与えることで、平均電源電圧降下と

表 1: ISCAS-85 ベンチマーク回路の比較結果

回路	電源線ノード数	トランジスタ数	$\Delta V(V)$		$\Delta V^2(V^2)$		CPU time(s)	
			提案手法		HSPICE		提案手法	HSPICE
C432	112	684	4.4×10^{-3}	1.3×10^{-4}	4.5×10^{-3}	1.4×10^{-4}	0.7	18
C880	198	1210	4.9×10^{-3}	2.0×10^{-4}	4.9×10^{-3}	1.9×10^{-4}	1.3	48
C1355	307	2047	9.8×10^{-3}	6.9×10^{-4}	9.6×10^{-3}	7.3×10^{-4}	1.9	156
C7552	1003	7086	3.7×10^{-2}	6.6×10^{-3}	3.8×10^{-2}	6.9×10^{-3}	7.8	2665

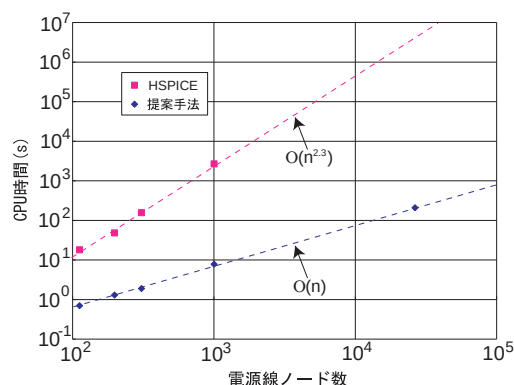


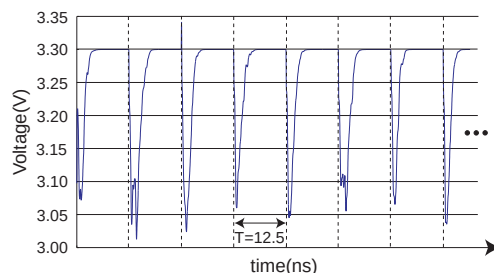
図 5: 電源線ノード数と計算時間における比較結果

電源電圧降下 2 乗平均は、ほぼ一定の値に収束していく。回路規模が大きくなる程、収束に多くの入力パターンが必要になる傾向があるため、今回は 1 入力パターンを HSPICE での計算時間とした。当然ながら、1 入力パターンではノイズの影響を見積もることは不十分である。また、HSPICE によって解析した電源ノイズの影響は 100 入力パターンを与えることによって求まる値とした。

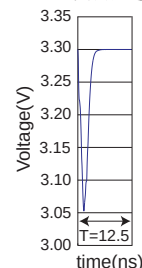
ベンチマーク回路との比較結果を表 1 に示す。表 1 の電源ノイズの値は、回路内で最も影響の大きい電源線ノードにおける値とした。また、電源線ノード数と計算時間の関係を図 5 に示す。表 1 から分かるように、提案手法で求めた平均電源電圧降下及び電源電圧降下 2 乗平均は HSPICE と比較して 8% 以内の誤差におさまっていることが分かる。また、図 5 から、計算量は電源線ノード数に比例する形でおさえられていることが分かる。一方、HSPICE では 1 入力パターンに要する計算時間でさえも提案手法と比較して 25 倍以上要することが分かる。しかも、ゲート数が増加するにしたがいその差は広がる傾向があり、ベンチマーク C7552 では、340 倍以上の差が生じていることが分かる。

ベンチマーク C7552 において、HSPICE で解析した電源ノイズ波形を図 6(a) に、提案手法で見積もられた電源ノイズ波形の期待値を図 6(b) に示す。HSPICE で解析した電源ノイズ波形から提案手法で得られた電源ノイズ波形の期待値が妥当であることが分かる。

次に、ISCAS-85 以外の比較対象として 32 ビット



(a) HSPICEによって得られた電源ノイズ波形



(b) 提案手法によって得られた電源ノイズ波形の集合平均

図 6: C7552 の電源ノイズ波形

リスクプロセッサ、MCORE²中の電源ノイズの影響の見積もりを行った。ISCAS-85 ベンチマーク回路と同様に、動作周波数を 80MHz とした。MCORE のトランジスタ数は約 20 万、電源線ノード数は約 2 万 6000 である。MCORE のレイアウト図を図 7 に示す。提案手法によって、全ての電源線ノードの電源ノイズの影響を見積もるのに要する CPU 時間は 209 秒であった。この見積もりによって得られたノイズマップを図 8 に示す。ここで、各々の電源線ノードの雑音を含む電圧 V を以下のように定義した。

$$V = V_{DD} - \overline{\Delta V} - 3\sigma$$

$$\sigma^2 = \overline{\Delta V^2} - \overline{\Delta V}^2$$

一方、HSPICE では電源ノイズを見積もるには規模が大きすぎたためにメモリがオーバーし、解析することができなかった。もし、解析が可能であったと仮定すると図 5 から、1 入力パターンで数 300 万秒を要することが予想される。

²モトローラ社の 32 ビットプロセッサコアの登録商標

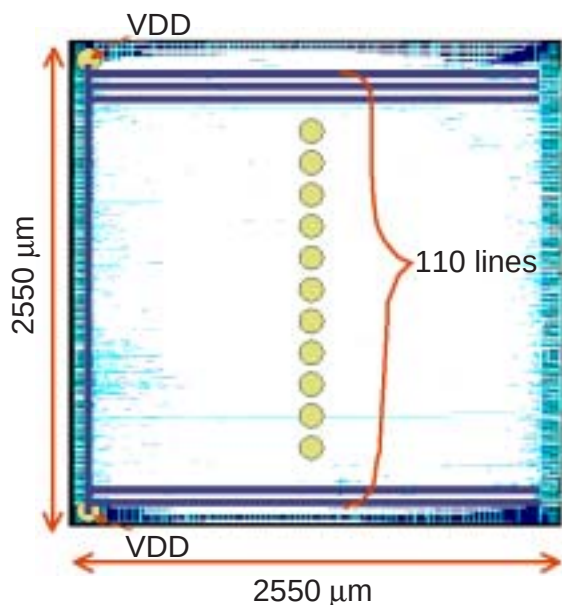


図 7: MCORE のレイアウト図

4 まとめ

デジタル回路で発生する電源ノイズの影響を、高速に見積もる手法を提案した。回路を F 行列に分割し、階層的に伝達関数を計算することで電源ノイズの影響を HSPICE と比較してはるかに高速に見積もることが可能になった。今後は、提案手法によって求められた平均電源電圧降下と電源電圧降下 2 乗平均から、回路の誤動作する確率を見積もる予定である。

参考文献

- [1] Y.-S. Chang, S. K. Gupta, and M. A. Breuer, "Analysis of Ground Bounce in Deep Sub-Micron Circuits," *Proc. VLSI Test Symposium*, pp. 110-116, April 1997
- [2] L.-R. Zheng, B.-X. Li, and H. Tenhunen, "Efficient and Accurate Modeling of Power Supply Noise on Distributed On-chip Power Networks," *Proc. IS-CAS*, vol. 2, pp. 513-516, May 2000
- [3] S. W. Song, M. Ismail, G. Moon and D. Y. Kim, "Accurate Modeling of Power Supply Noise in Low Voltage Digital VLSI," *Proc. ISCAS*, vol. 6, pp. 210-213, August 1999
- [4] Y. M. jiang, T. K. Young and K. T. Cheng, "VIP - An Input Pattern Generator for Identifying Critical Voltage Drop for Deep Sub-Micron Designs," *Proc. ISLPED*, pp. 156-161, August 1999
- [5] Y. M. jiang, K. T. Cheng and A. C. Deng, "Estimation of Maximum Power Supply Noise for Deep Sub-Micron Designs," *Proc. ISLPED*, pp. 233-238, August 1998

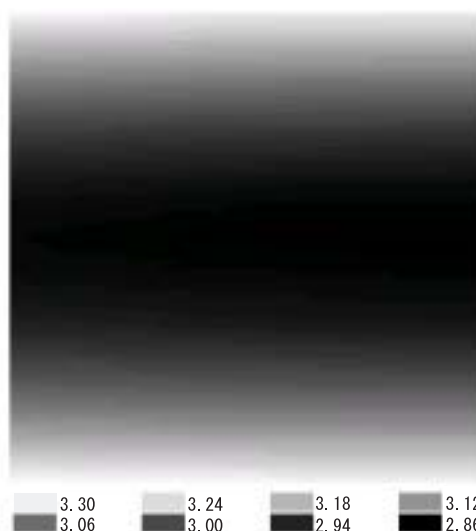


図 8: MCORE のノイズマップ

- [6] H. Kriplani, F. N. Najm and I. N. Hajj, "Pattern Independent Maximum Current Estimation in Power and Ground Buses of CMOS VLSI Circuits: Algorithm, Signal Correlations, and Their Resolution," *IEEE Trans. CAD*, vol.14, no.8, pp. 998-1012, August 1995
- [7] G. Bai, S. Bobba and I. N. Hajj, "Power Bus Maximum Voltage Drop in Digital VLSI Circuits," *Proc. ISQED*, pp. 263-268, March 2000
- [8] G. Bai, S. Bobba and I. N. Hajj, "RC Power Bus Maximum Voltage Drop in Digital VLSI Circuits," *Proc. ISQED*, pp. 205-210, March 2001
- [9] Howard H. Chen and David D. Ling, "Power Supply Noise Analysis Methodology for Deep-Submicron VLSI Chip Design," *Proc. DAC*, pp. 1-6, June 1997
- [10] K. -H. Erhard, F. M. Johannes and R. Dachauer, "Topology Optimization Techniques for Power/Ground Networks in VLSI," *Proc. Euro-DAC*, pp. 362-367, 1992
- [11] V. Raghavan, R. A. Rohrer, L. T. Pillage, J. Y. Lee, J. E. Bracken and M. M. Alaybeyi, "AWE Inspired," *Proc. CICC*, pp. 18.1.1-18.1.8, May 1993