

LSI 電源雑音の高速計算手法

杉山 聡[†] 池田 誠^{††} 浅田 邦博^{††}

[†] 東京大学大学院 工学系研究科 電子工学専攻

^{††} 東京大学大規模集積システム設計教育研究センター

〒 113-8656 東京都文京区本郷 7-3-1

Tel 03-5841-6716

E-mail: sugi.s@silicon.u-tokyo.ac.jp

あ ら ま し 近年の集積化にともない、LSI 回路内に発生する電源ノイズの影響が懸念されてきている。本稿では、電源ノイズの影響を高速に見積もる手法を紹介し、その手法から電源ノイズの影響が与える遅延時間の増加を見積もる手法を提案する。電源配線から F 行列網を構成し、F 行列の演算から伝達関数を求めることで、全電源線ノードにおける電源ノイズの影響及び電源ノイズによって生じる遅延時間の増加を高速に評価することが可能となった。HSPICE との比較を行なうことにより、電源ノイズの影響は 8% の誤差内で、電源ノイズによって生じる遅延時間の増加とばらつきは 30% の誤差内で、ノード数に比例した高速な見積りが可能であることを確認した。

キーワード 電源ノイズ, F 行列, 伝達関数, 遅延時間, スイッチング

1 はじめに

大規模集積回路 (VLSI) の高集積化と電源電圧の低下に伴い、電源ノイズが回路の信頼性に与える影響が高まってきている。ノイズの影響が過度になると信号の遅延時間は増加し、回路が誤動作する原因となる。したがって、電源線に発生するノイズを効果的に評価し、そのノイズが及ぼす遅延時間の増加を見積もる必要性が高まってきている。

しかし、電源ノイズの影響を正確に見積もることは非常に困難とされている。というのも、電源線の電圧波形はプライマリインプットの時系列に依存するからである。回路が n 個のプライマリインプットを有する場合、電源電圧降下の最大値を正確に求めるには 4^n 種類の入力パターンを繰り返し与える必要があるため、プライマリインプット数の多い回路では、全入力パターンに対してシミュレートをするのは実用的ではない。そこで、最近では様々な入力パターンに対して各々の電源電圧降下を求めるのではなく、最大の電源電流や電源電圧降下を与えるような入力パターンを検索する手法が提案されている [1][2]。[1][2] では、注目するブロックに流れる最大電流を与える入力パターンを遺伝的アルゴリズム (GA) を用いて検索する手法が提案されている。しかし、得られた入力パターンがそのブロック内の全ての電源線ノードに対して最大の電圧降下を与えるとは限らない。一方、入力パターンを指定しなくても静的に最大電流を見積もるアルゴリズムが [3] で提案されている。[3] では、ノイズ源である

スイッチング電流を直角三角形で近似し、不確定波形 (Uncertainty waveform) と呼ばれるグラフから、回路全体の電源線に流れる最大電流を求める。この最大電流は Maximum Envelope Current (MEC) と呼ばれ全入力パターンを網羅した最大包絡電流である。[4][5] では、MEC を用いて、静的に注目するノードにおける最大電源電圧降下を見積もることができる。

[3] で用いられる手法は入力パターンを指定しなくてもゲート数に比例した計算時間で静的に最大電流を求めることができる優れたアルゴリズムである。しかし、このアルゴリズムには以下の問題点が存在する。

1 点は、MEC が最大の電源電圧降下を与えると仮定している点である。しかし、電源線にインダクタンスが含まれている場合にはこの仮定は成立しない。というのも、 ΔI ノイズの最大値は、電源電流が最大の時ではなく、電源電流の時間変化率が最大になった時に発生するからである。クロック周波数の増大にともない、今後、インダクタンスの影響を考慮する必要性が高まってくるために、この仮定が成立しなくなることが予想される。もう 1 点は、[3] では全ての信号相関 (signal correlation) を無視している点である。通常、回路の内部ノードの信号には相関があり、ゲートの出力に生じる遷移数を制限する。そのため、[3] では実際には存在しない状態遷移をとりうるために、最大電流が大きく見積られてしまう。しかし、全ての信号の相関を考慮すると、膨大な計算時間を要してしまう。[4][5] では制約グラフ (constraint graph) によって

となりあうノードの相関を考慮して、最大電源電圧降下を見積もる手法が提案されているが、回路全体の相関を考慮していないために過大評価される可能性がある。また、回路規模の増加にともない、HSPICE と同程度の増加率で計算時間が増加している。

電源ノイズの値が求まったとしても、回路設計者にとってより重要な情報は、電源ノイズが引き起こす影響であることが多い。電源ノイズが引き起こす最も大きな影響の一つは遅延時間の増加であり、遅延時間 t_d は、次式で近似されるように電源電圧が低下すると遅延時間は増加する。

$$t_d = \frac{kC_L V_{DD}}{(V_{DD} - V_{TH})^\alpha} \quad (\alpha = 1 \sim 2) \quad (1)$$

遅延時間が増加し、タイミングのマージンを超えると回路が誤動作する可能性があるため、電源ノイズを考慮した遅延時間を見積もる必要性が高まってきている。[6] では、電源ノイズのピーク値を見積もった後に、電源電圧と遅延時間の関係から最大の遅延時間の見積もりを行なっているが、回路全体の相関を無視するためにピーク値が過大評価される、計算時間がノード数に比例する以上にかかるといった問題がある。

本稿では、電源ノイズのピーク値に着目するのではなく、電源電圧降下の平均値とその2乗平均値、電源電圧波形の期待値を高速に見積もる手法 [7] を紹介し、その手法で見積もられた電源ノイズの影響から、遅延時間の増加を見積もる手法を提案する。第2章ではLSI中の配線を分割し、各々のF行列を用いて伝達関数を求めることによって回路中の全電源線ノードの電源ノイズの影響を高速に見積もる手法を紹介し、その手法をもとに遅延時間の増加とばらつきを見積もる手法を提案する。第3章では、提案手法を幾つかのベンチマーク回路に適用し、HSPICE との比較を行う。第4章では、提案手法を応用することで、プリント基板内に発生する電源ノイズの見積もりが可能であることを示す。第5章で本稿のまとめを述べる。

2 提案手法

図1では、入力信号がHiからLowに変化した時、電源線内に電流が流れるため、電源線の抵抗成分やインダクタンス成分により電源線の電圧が変動する。そのことをデジタル回路における電源ノイズと呼ぶ。本稿では、全電源線ノードにおける電源ノイズの影響を高速に見積もることが目標である。図2に提案手法による電源ノイズ見積もり評価フローを示す。本稿では、各々のトランジスタのスイッチング確率とスイッチオンするタイミング時間は求まっているものとした。レイアウトから抽出されたネットリストのスイッチング電流を、はじめに電源ノイズが発生していない状態でモデル化し、第一次の近似解を求める。次に伝達関数と確率的手法を用いて電源ノイズの影響を求め、その

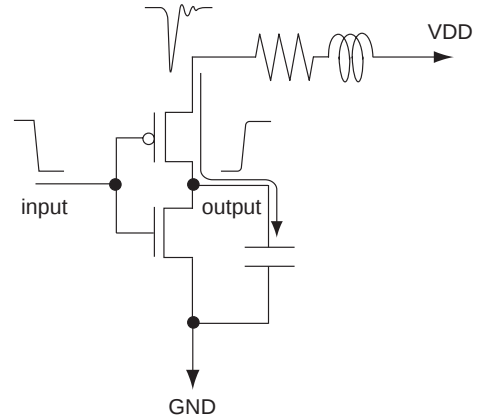


図 1: 電源ノイズの発生

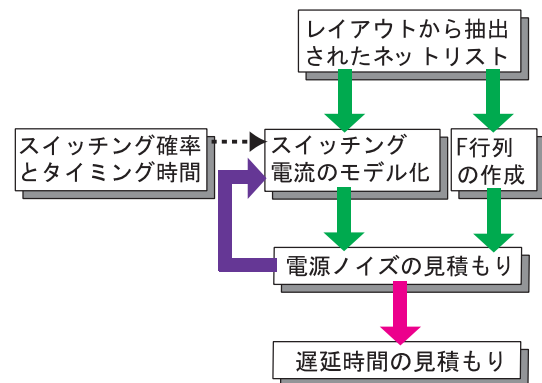


図 2: 電源ノイズ見積もり評価フロー

後ノードを含んだ電圧平均をもとにして、スイッチング電流を再度計算して電源ノイズを見積もり直す。そのノイズの影響から、遅延時間の増加を見積もることが提案手法の大まかな流れである。

2.1 伝達関数を用いた電源ノイズ見積もり手法

電源線のネットワークは、電源線にループが存在するジェネラルグラフとツリー構造であるマルチパッドツリー及びシングルパッドツリーの3種類に分類される [8]。本稿では、電源線のネットワークはツリー構造で表されると仮定するが、回路が完全なツリー構造でない場合でもF行列をY行列に変換することにより伝達関数を計算することができる。

まず、電源線をセル単位で、図3に示すようににモデル化する。ノイズ源であるスイッチング電流は一般的に複雑な波形をしているが、本稿では、電源ノイズを高速に見積もることが目標であるために、スイッチング電流を三角波で近似することにする [9]。三角波の波形は出力容量やゲート幅などから決定する。

次に、F行列に分割された電源線を図4に示すようなネットワークにモデル化する。電源線の抵抗はレイアウト図から抽出した。オンチップインダクタンスの

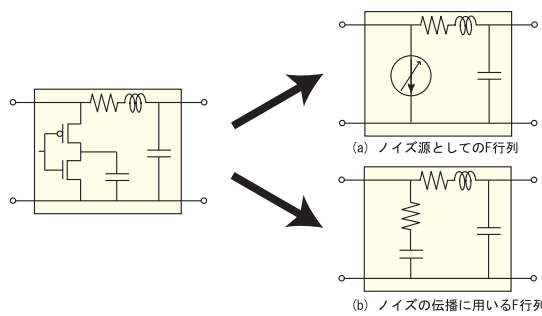


図 3: ノードごとに分割された F 行列

抽出は非常に困難であるために今回はボンディングワイアのインダクタンスのみを考慮したが、オンチップインダクタンスを考慮した場合でも、一つの F 行列内に組み込むことにより、演算量を増やすことなく全く同様な解析が可能である。分割された F 行列の乗算や変換を行うことにより任意のノードからノードへの伝達関数を求めることができる。このように、F 行列から得られる伝達関数を用いて電源ノイズを計算することで、一般的な回路シミュレータで用いられるような大規模な行列演算を行う必要がなくなる。[10] によれば任意の回路での行列演算は $O(n^3)$ である。ここで、 n はノード数である。一般的な回路では、行列内に零因子が多く存在しているため $O(n^{1.4-1.7})$ であると言われているが、提案手法では、全電源線ノードにおける電源ノイズの影響を $O(n)$ で求めることが可能である。

はじめに、ツリーの各々のリーフからルートの方へ向けてスキャンし、その後各々のリーフへ向けてスキャンすることで、全電源線ノードの対地コンダクタンスを求める。その後、再度、ツリーのリーフからルートに向けてスキャンすることで、全ての電源線ノードにおいて、リーフ側から伝搬してくるノイズを計算できる。次に、リーフに向けてスキャンすることで、ルート側から伝搬してくるノイズを計算するため、ノード数に比例した形で全電源線ノードにおける電源ノイズの影響を計算することができる。

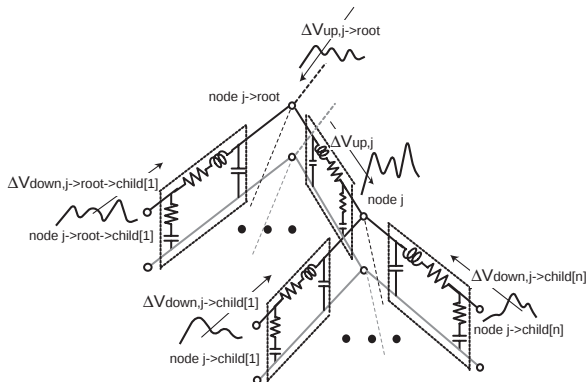


図 4: F 行列で表された電源線ネットワーク

また、本稿では確率的手法を用いることで電源ノイズの影響を高速に見積もることにする。ノイズ源となるトランジスタのスイッチング確率の重みづけを行うことで、静的な解析で、電源電圧降下の平均値とその 2 乗平均値、電源電圧波形の期待値を求めることが可能となる。詳しいアルゴリズムは [7] で説明している。

2.2 電源ノイズを考慮した遅延時間の見積もり手法

提案手法によって求めた電源電圧波形を、図 5 のようにモデル化する。電源電圧がこのようなばらつきを持つのは、プライマリインプットが各タイミングごとに異なるからである。提案手法では、ばらつき自体を静的な解析で見積もることができるため高速に電源電圧波形のモデル化を行うことができる。図 5 のような電源電圧のモデルと図 6 に示すような電源電圧と遅延時間の関係から、電源ノイズによって生じる遅延時間の増加とそのばらつきを求めることができる。電源ノイズの影響は、着目するトランジスタが充電されている時間のみを考慮する。

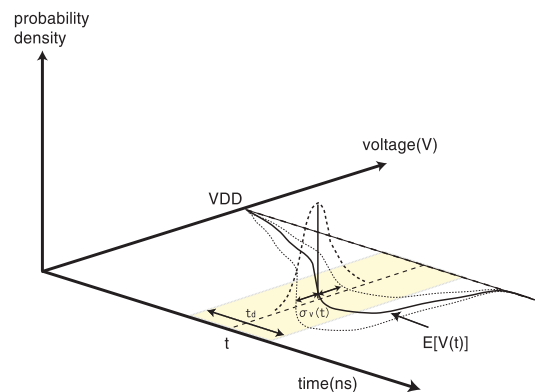


図 5: 電源電圧波形のモデル化

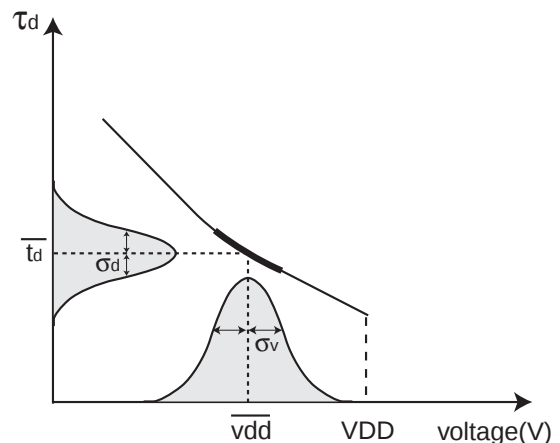


図 6: 電源電圧と遅延時間の関係

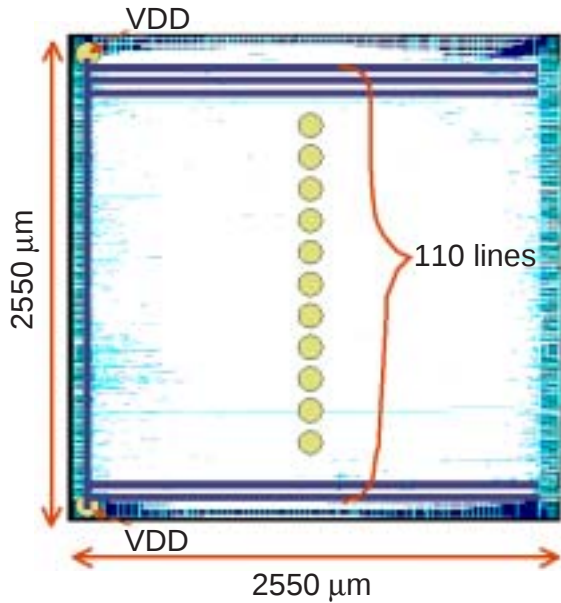


図 7: MCORE のレイアウト図

3 評価結果

3.1 電源ノイズの評価結果

Sun Ultra 60 Spark の環境のもとで ISCAS-85 の 4 つのベンチマーク回路と 32 ビットリスクプロセッサ、MCORE¹ に対して回路シミュレータ HSPICE と提案手法を見積もりの精度と計算時間において比較した。プロセスは標準的な 0.35 μm CMOS（ポリ 2 層、メタル 3 層）を使用し、電源電圧を 3.3V に設定した。回路は Synopsys 社の Design Compiler で論理合成を行ない、Avanti 社の Apollo で配置配線を行なって、スタンダードセル方式を用いて作成した。各々の回路のプライマリインプットの遷移確率を全て 0.5 とした。HSPICE でノイズ解析を行う場合は、計算時間は入力パターン数にほぼ比例する形で増加する。回路によっても異なるが、およそ数 10 パターンの入力パターンを

¹ モトローラ社の 32 ビットプロセッサコアの登録商標

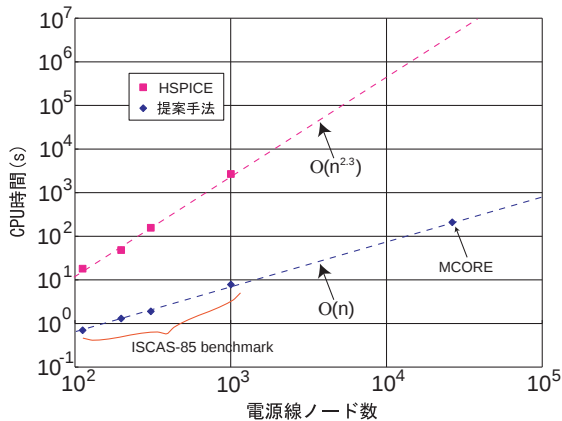


図 8: 電源線ノード数と計算時間における比較結果

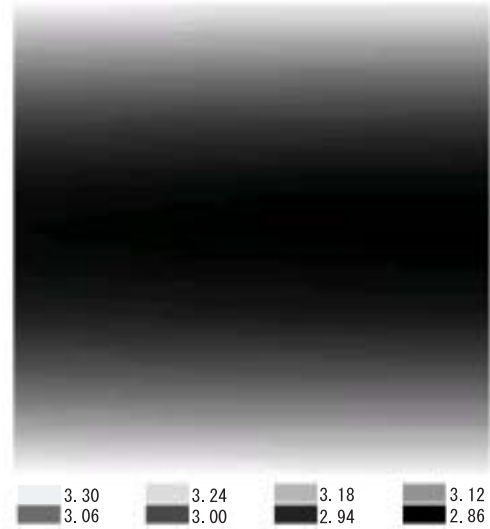


図 9: MCORE のノイズマップ

与えることで、平均電源電圧降下と電源電圧降下 2 乗平均は、ほぼ一定の値に収束していく。回路規模が大きくなる程、収束に多くの入力パターンが必要になる傾向があるため、今回は 1 入力パターンを HSPICE の計算時間とした。当然ながら、1 入力パターンではノイズの影響を見積もることは不十分である。また、HSPICE によって解析した電源ノイズの影響は 100 入力パターンを与えることによって求まる値とした。

電源線ノード数と計算時間の関係を図 8 に示す。提案手法では、計算量は電源線ノード数に比例する形でおさえられていることが分かる。一方、HSPICE では 1 入力パターンに要する計算時間でさえも提案手法と比較して 25 倍以上要することが分かる。しかも、電源線ノード数が増加するにしたがいその差は広がる傾向があり、最も規模の大きいベンチマーク C7552 では、340 倍以上の差が生じている。また、各々の回路において最もクリティカルな電源線ノードの電源電圧降下の平均値とその 2 乗平均値は HSPICE の結果と比較して 8% 以内におさまっていることが分かった。

また、MCORE の回路では、HSPICE による解析では回路規模が大きいためにメモリがオーバーし、解析することができなかった。もし、解析が可能であったと仮定すると図 8 から、1 入力パターンで数 300 万秒を要することが予想される。一方、提案手法では、全ての電源線ノードの電源ノイズの影響を見積もるのに要する CPU 時間は 209 秒であった。

図 7 に示すようなフルチップに近い MCORE の回路でも、提案手法を用いることで図 9 に示すようなノイズマップを高速に設計者に提示することができる。図 9 では、各々の電源線ノードの雑音を含む電圧 V を以下のように定義した。

$$V = V_{DD} - \overline{\Delta V} - 3\sigma$$

$$\sigma^2 = \overline{\Delta V^2} - \overline{\Delta V}^2$$

3.2 遅延時間の評価結果

ISCAS-85 のベンチマーク C432 を対象として、電源ノイズによって生じる遅延時間の増加の見積もりを行い、HSPICE の結果と比較した。今回は、比較的大きな電源ノイズを発生させるような電源線を仮定し、注目するトランジスタの負荷容量を 100(fF) とした。HSPICE では、1000 入力パターンを与えた時の遅延時間の影響を求めた。注目する電源線の電圧と信号の入出力波形として、図 10 に示すような波形が得られた。

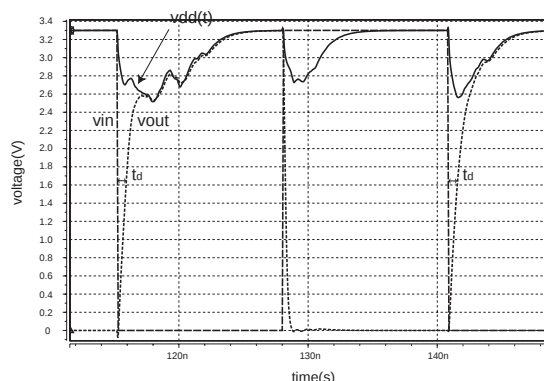


図 10: HSPICE で求めた電源電圧波形と遅延時間

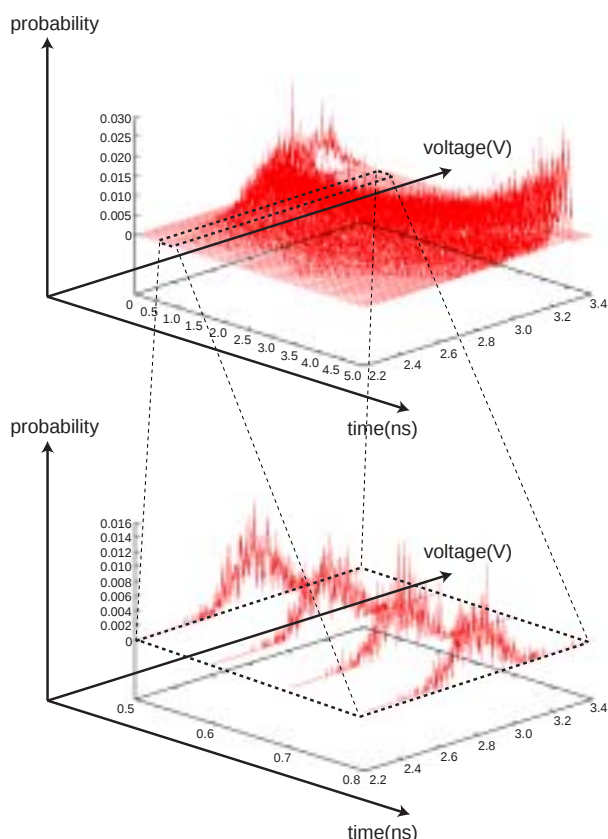


図 11: 電源電圧と遅延時間の関係

HSPICE で 1000 入力パターン与えることによって

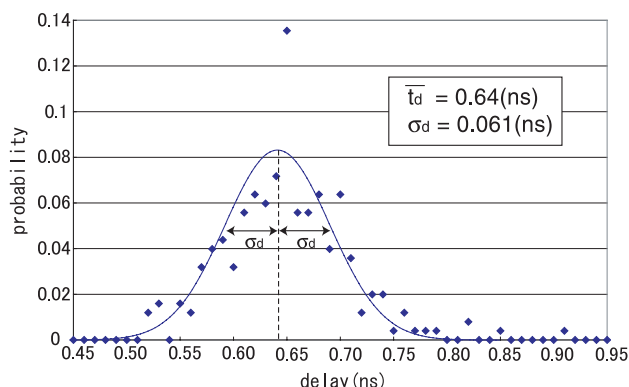


図 12: 遅延時間の分布

得られた電源電圧は図 11 のように正規分布に近い分布となった。本稿の提案手法では第 2 章で述べたように、各々のタイミングに対して電源電圧は平均値とその分散で表される正規分布で仮定する。

HSPICE で解析した遅延時間の分布を図 12 に示す。電源線ノードにノイズが発生していない状態、すなわち電源電圧がつねに 3.3V であると仮定した場合、遅延時間 t_d は 0.45(ns) であるが、電源ノイズの発生により遅延時間の平均 $\bar{t}_d$ は 0.64(ns) まで増加し、遅延時間の標準偏差 σ_d は 0.061(ns) であった。一方、提案手法で見積もった場合、 $\bar{t}_d$ は 0.61(ns) であり、 σ_d は 0.055(ns) であり、30% 以内の誤差で電源ノイズによって生じる遅延時間の増加とそのばらつきを静的に見積もることができた。

4 プリント基板内の電源ノイズ見積もりへの応用

本稿で提案した手法は LSI チップ内の電源ノイズの見積もり手法であるが、提案手法を応用することによりプリント基板内に発生する電源ノイズの見積もりを同様に見積もることが可能であると考えられる。

まず、はじめに提案手法を用いて LSI チップ外の電源配線から LSI チップ内に流れる電源電流波形の期待値とその分散を静的に見積もる。その後、図 13 に示すように、LSI チップをノイズ源として、分散を持った一つの電流源として近似し、その他は LSI チップ内と同様なモデル化を行う。このようなモデル化を行った後、F 行列の乗算を行うことで LSI が存在する全ての電源線ノードの電源ノイズの影響を高速に見積もることができると考えられる。

5 まとめ

デジタル回路で発生する電源ノイズの影響を、高速に見積もる手法を紹介し、その手法を用いて遅延時間を見積もる手法を提案した。回路を F 行列に分割し、

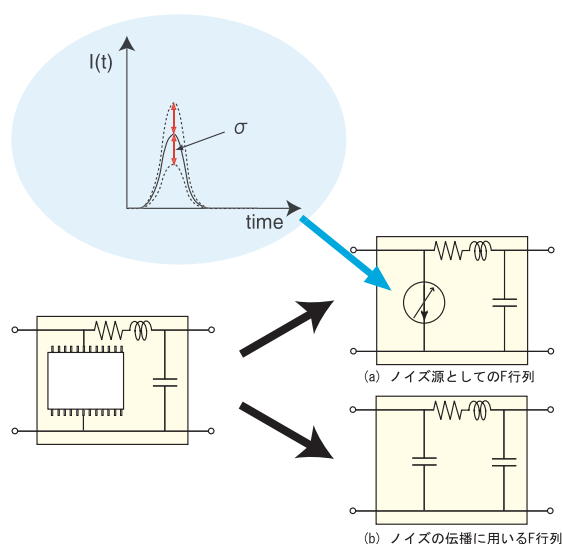


図 13: LSI とプリント基板内の電源配線のモデル化

階層的に伝達関数を計算することで電源ノイズと電源ノイズが引き起こす遅延時間の増加を HSPICE と比較してはるかに高速に見積もることが可能になった。また、提案手法は LSI 内の電源ノイズの影響だけでなくプリント基板内に発生する電源ノイズの影響も同様に見積もることができると考えられる。

参考文献

- [1] Y. M. jiang, T. K. Young and K. T. Cheng, "VIP - An Input Pattern Generator for Identifying Critical Voltage Drop for Deep Sub-Micron Designs," *Proc. ISLPED*, pp. 156-161, August 1999
- [2] Y. M. jiang, K. T. Cheng and A. C. Deng, "Estimation of Maximum Power Supply Noise for Deep Sub-Micron Designs," *Proc. ISLPED*, pp. 233-238, August 1998
- [3] H. Kriplani, F. N. Najm and I. N. Hajj, "Pattern Independent Maximum Current Estimation in Power and Ground Buses of CMOS VLSI Circuits: Algorithm, Signal Correlations, and Their Resolution," *IEEE Trans. CAD*, vol.14, no.8, pp. 998-1012, August 1995
- [4] G. Bai, S. Bobba and I. N. Hajj, "Power Bus Maximum Voltage Drop in Digital VLSI Circuits," *Proc. ISQED*, pp. 263-268, March 2000
- [5] G. Bai, S. Bobba and I. N. Hajj, "RC Power Bus Maximum Voltage Drop in Digital VLSI Circuits," *Proc. ISQED*, pp. 205-210, March 2001

- [6] G. Bai, S. Bobba and I. N. Hajj, "Static Timing Analysis Including Power Supply Noise Effect on Propagation Delay in VLSI Circuits," *Proc. DAC*, pp. 295-300, June 2001
- [7] 杉山 聡, 池田 誠, 浅田 邦博, "伝達関数を用いた電源ノイズ見積もり手法," VLSI 設計技術研究会, VLD2001-157, pp. 79-84, 平成 14 年 3 月
- [8] K. -H. Erhard, F. M. Johannes and R. Dachauer, "Topology Optimization Techniques for Power/Ground Networks in VLSI," *Proc. Euro-DAC*, pp. 362-367, 1992
- [9] Howard H. Chen and David D. Ling, "Power Supply Noise Analysis Methodology for Deep-Submicron VLSI Chip Design," *Proc. DAC*, pp. 1-6, June 1997
- [10] V. Raghavan, R. A. Rohrer, L. T. Pillage, J. Y. Lee, J. E. Bracken and M. M. Alaybeyi, "AWE Inspired," *Proc. CICC*, pp. 18.1.1-18.1.8, May 1993