

電源グリッドモデルにおける多端子 F 行列を用いた高速ノイズ評価手法

杉山 聡[†] 池田 誠^{††} 浅田 邦博^{††}

[†] 東京大学大学院工学系研究科電子工学専攻 〒113-8656 東京都文京区本郷 7-3-1

^{††} 東京大学大規模集積システム設計教育研究センター 〒113-8656 東京都文京区本郷 7-3-1

E-mail: [†]sugi_s@silicon.u-tokyo.ac.jp, ^{††}{ikeda,asada}@silicon.u-tokyo.ac.jp

あらまし 近年の高集積化と低電圧化にともない、電源線に生じるノイズの影響が深刻になってきている。電源ノイズは信号の遅延時間を増加させ、最悪の場合では論理エラーを引き起こすため、設計段階で電源ノイズを高速に見積もる必要性が高まってきている。本稿では、電源グリッド配線といったジェネラルグラフを対象に電源線を多端子 F 行列に分割し伝達関数を用いることで、全電源線ノードのノイズの影響を静的にかつ高速に計算する手法を提案する。キーワード 電源ノイズ, 多端子 F 行列, 伝達関数

Quick Noise Estimation Using Multi Terminal F-matrix in Power Grid Model

Satoshi SUGIYAMA[†], Makoto IKEDA^{††}, and Kunihiro ASADA^{††}

[†] Department of Electronic Engineering, The University of Tokyo 7-3-1 Hongo, Bunkyo-ku, Tokyo, 113-8656, Japan

^{††} VLSI Design and Education Center(VDEC), The University of Tokyo 7-3-1 Hongo, Bunkyo-ku, Tokyo, 113-8656, Japan

E-mail: [†]sugi_s@silicon.u-tokyo.ac.jp, ^{††}{ikeda,asada}@silicon.u-tokyo.ac.jp

Abstract With increasing interconnect densities and lower power supply voltage, power supply noise has become an important factor for deep sub-micron design. Power supply noise increases the signal delay and causes the false switching in the worst case. Therefore the quick power supply noise estimation on VLSI chips has become increasingly important. In this paper, we propose a methodology for estimating noise statically and quickly at all the nodes in a general graph such as power grid model by dividing power grid lines into multi terminal F-matrices and using transfer functions.

Key words Power Supply Noise, Multi Terminal F-matrix, Transfer Function

1. ま え が き

近年の CMOS プロセスの微細加工技術の進歩は、目覚ましいものがあり、単位面積あたりに集積されるトランジスタ数は年とともに指数関数的に増加している。また、電源電圧は年々減少傾向にあるものトランジスタの集積化により電源電流は増加傾向にある。このような理由から、電源電流が寄生抵抗や寄生インダクタンスの存在する電源配線を通ることによって、電源配線中の電圧に生じるノイズの影響が深刻になってきている [1]。電源配線の電圧が電源電圧より低下すると、信号の伝搬速度を低下させ、それが過度になると信号伝搬を誤らせるため、設計段階で電源ノイズを見積もる必要性が高まってきている。

まず、電源ノイズを高速に求めるにはノイズ源となる非線形回路のトランジスタのスイッチング電流を電流源としてモデル化することが多い [2]。

スイッチング電流を電流源として近似することで、電源ノイズ波形は連立一次方程式を求めることで得られる。しかし、こ

こで二つの大きな問題が存在する。

一つ目の問題は、電源線のノード数の増大に伴う計算時間の増大である。ノード数を n とした時、LU 分解といった一般的な手法で電源ノイズを計算すると $O(n^3)$ の計算時間がかかってしまう。そこで、ノイズを求める計算時間を高速化するために、回路を階層的な構造に分割してノード数を減らす手法 [3]~[5] や、前処理つき共役勾配法と呼ばれる反復解法 [6] を用いる手法が提案されている。

二つ目の問題は、電源ノイズ波形はプライマリインプットの時系列に依存することである。回路が n 個のプライマリインプットを有する場合、電圧降下の最大値を正確に求めるには 4^n 種類の入力パターンを繰り返し与える必要がある。[3]~[6] のような手法を用いても、全入力パターンに対してシミュレートをするのは大規模な回路では計算時間の面で実用的とはいえない。そこで、入力パターンを指定しなくても静的に最大電流を見積もるアルゴリズムが [7] で提案されている。[7] では、スイッチング電流を直角三角形の電流源で近似し、不確定波

形 (Uncertainty waveform) と呼ばれるグラフから、回路全体の電源線に流れる最大電流を求める。この最大電流は Maximum Envelope Current(MEC) と呼ばれ全ての入力パターンを網羅した最大包絡電流である。[8][9] では、MEC を用いて、注目するノードにおける最大電源電圧降下を静的に見積もることができる。しかしながら、最大電流が最大電源電圧降下を引き起こすと仮定しているために、電源配線にインダクタンスが含まれている場合にはこの仮定は成立しない。というのも、 ΔI ノイズの最大値は、電源電流が最大の時ではなく、電源電流の時間変化率が最大になった時に発生するからである。今後、インダクタンスの影響を考慮する必要性が高まっていく [2] ために、この仮定が成立しなくなっていくことが予想される。また、回路全体のスイッチングの相関を考慮していないために過大評価される。一方 [10] では、最大電源電圧降下を与える入力パターンを遺伝的アルゴリズム (GA) を用いて検索する手法が提案されている。しかし、得られる最悪値が過小評価されるだけでなく、得られた入力パターンがそのブロック内の全ての電源線ノードに対して最大の電圧降下を与えるとは限らないという問題が生じている。

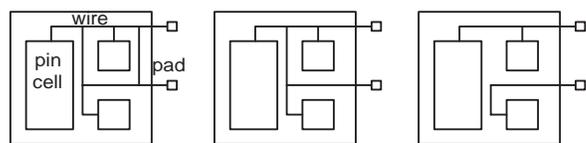
そこで、電源ノイズの最悪値でなくノイズの平均値と2乗平均値を全電源線ノードにおいて、静的に見積もる手法が提案されている [11]。[11] では、回路を F 行列に分割し伝達関数を計算し、確率的手法を用いることでノード数に比例した計算コストで電源ノイズを見積もることが可能である。しかし、対象とする電源配線のネットワークをツリー構造に特化している。

本稿では [11] の手法を応用し、グリッド状電源配線モデルにおける電源ノイズの影響を高速に計算する手法を提案する。規則的なグリッド状の電源線を分割して多端子 F 行列を構成し、インピーダンス行列と伝達関数をあらかじめ計算しておくことで、電源ノイズの伝播を伝達関数の乗算で計算することができるため、電源グリッドの全格子点における電源ノイズを高速に計算することが可能となる。また伝達関数と確率的手法を用いることで、静的な解析が可能となる。本稿の構成を以下に示す。2章では、電源配線ネットワークの種類を紹介し、対象とする電源配線のモデルを示し、ノイズ源であるスイッチング電流のモデル化について説明する。3章で一般的な電源ノイズ計算手法を示す。4章では、多端子 F 行列を用いた電源ノイズの高速見積もり手法を提案する。5章では HSPICE との比較結果を示し、6章で本稿を総括する。

2. LSIチップのモデル化

2.1 電源配線のモデル

電源線のネットワークは、図1に示すように、電源線にループが存在するジェネラルグラフとツリー構造であるマルチパッドツリー及びシングルパッドツリーの3種類に分類される [12]。電源配線がマルチパッドツリー、シングルパッドツリーのようなツリー構造の場合、またはジェネラルグラフでも電源配線にループがほとんど存在しない場合には [11] の手法を用いることによって、全電源線ノードのノイズの影響をノード数に比例した形で非常に高速に見積もることが可能である。しかし、近



General Graph Multi-Pad-Graph Single-Pad-Graph

図1 電源線のネットワーク

年の電源配線のネットワークとしてよく用いられる図2に示すようなループが多く存在するジェネラルグラフには不適であるのが問題点といえる。本稿ではグリッド状電源配線といったループを多く含むジェネラルグラフを対象にする。

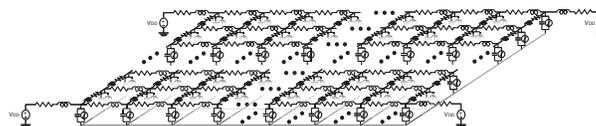


図2 電源グリッドモデル

2.2 スwitching電流のモデル

デジタル回路におけるスイッチング電流は一般的に複雑な波形をしている。本稿では、スイッチング電流波形を図3に示すように、電流源で近似することにし、電流源を各々の格子点に配置する。スイッチング電流の遅延時間とスイッチング確率はあらかじめ与えられているものとする。

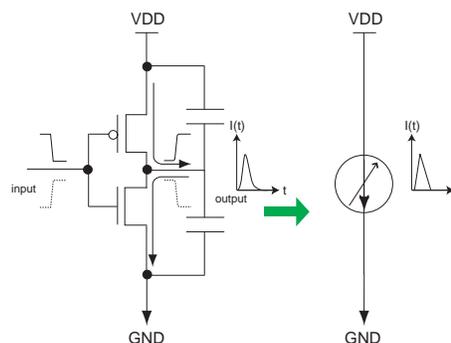


図3 スwitching電流モデル

3. 一般的な電源ノイズの計算手法

非線形なトランジスタモデルを電流源として近似することで、線形モデルである n 元一次方程式に帰着する。電源ノイズを ΔV 、対地コンダクタンス行列を G 、トランジスタのスイッチング電流を ΔI とすると式 (1) は

$$\Delta I = G \Delta V \quad (1)$$

で表される。ここで、

$$\Delta I = (I_1 \ I_2 \ \dots \ I_n)^T \quad (2)$$

$$\Delta V = (V_1 \ V_2 \ \dots \ V_n)^T \quad (3)$$

$$G = \begin{pmatrix} g_{1,1} & g_{1,2} & \dots & g_{1,n} \\ g_{2,1} & g_{2,2} & \dots & g_{2,n} \\ \vdots & \vdots & \ddots & \vdots \\ g_{n,1} & g_{n,2} & \dots & g_{n,n} \end{pmatrix} \quad (4)$$

である。スイッチング電流を電流源で近似すると、 ΔI は既知であるから ΔV は次式で与えられる。

$$\Delta V = G^{-1} \Delta I \quad (5)$$

ΔV を求めるには、大きく分けて 2 通りの解法が存在する。

1 つ目の解法は直接解法である。LU 分解といった手法を用いて n 行 n 列の逆行列を求めるのに要する計算コストは $O(n^3)$ である。ただし、一般的な VLSI 回路ではスパース行列であるため、様々なスパース行列技法を用いることにより計算コストを $O(n^3)$ より小さくさせることが可能である。SPICE といった回路シミュレータでは、修正節点方程式を構成し、直接解法を用いて計算を行っている。

2 つ目の解法は反復解法であり、なんらかの初期値を与え反復計算によって解を収束させることで真の解を求める方法である。グリッド構造のようにスパース性が高い場合、一回の反復計算を $O(n)$ で計算することが可能であるが、一般的に回路規模が大きくなればなるほど、真の解を求めるのに要する反復回数は増大する。また反復回数は係数行列 G の性質に依存するが、反復回数が少なければ直接法より優位となるため、収束性を高めるような手法は現在でも多く提案されている [13]。

電源グリッド配線に発生する電源ノイズの過渡解析を行う場合には、どちらの解法もよく用いられる。

しかしながら、電源ノイズの波形がプライマリインプットに依存するために、たとえ高速に電源ノイズ波形を計算することができたとしても、例えば電源ノイズの平均値や 2 乗平均値を求めるためには多くのプライマリインプットを与える必要があるために、過渡解析を何度も繰り返す計算時間が問題となってしまう。

4. 提案手法

4.1 多端子 F 行列モデル

j 個の入力端子の電流、電圧を I_1, V_1 と、 j 個の出力端子の電流、電圧を I_2, V_2 とベクトルで表すとして、以下のように多端子 F 行列を定義する。

$$\begin{pmatrix} V_1 \\ I_1 \end{pmatrix} = \begin{pmatrix} A & B \\ C & D \end{pmatrix} \begin{pmatrix} V_2 \\ I_2 \end{pmatrix} \quad (6)$$

ここで、例えば式 (7), (8) が成立すると仮定すると、 I_1 と V_1 及び、 I_3 と V_3 の接続関係は式 (9) で表される。

$$\begin{pmatrix} V_1 \\ I_1 \end{pmatrix} = \begin{pmatrix} A_1 & B_1 \\ C_1 & D_1 \end{pmatrix} \begin{pmatrix} V_2 \\ I_2 \end{pmatrix} \quad (7)$$

$$\begin{pmatrix} V_2 \\ I_2 \end{pmatrix} = \begin{pmatrix} A_2 & B_2 \\ C_2 & D_2 \end{pmatrix} \begin{pmatrix} V_3 \\ I_3 \end{pmatrix} \quad (8)$$

$$\begin{pmatrix} V_1 \\ I_1 \end{pmatrix} = \begin{pmatrix} A_1 & B_1 \\ C_1 & D_1 \end{pmatrix} \begin{pmatrix} A_2 & B_2 \\ C_2 & D_2 \end{pmatrix} \begin{pmatrix} V_3 \\ I_3 \end{pmatrix} \quad (9)$$

I_3 がノイズ源であるスイッチング電流、 V_3 が I_3 によって生じる電源ノイズとすれば、行列の乗算を行うだけで電源ノイズの伝播を計算することができる。

4.2 電源グリッド配線の分割手法

本稿では、電源グリッド配線を図 4 に示すように左右（または上下）の格子点の間隔で各々の F 行列で分割する。

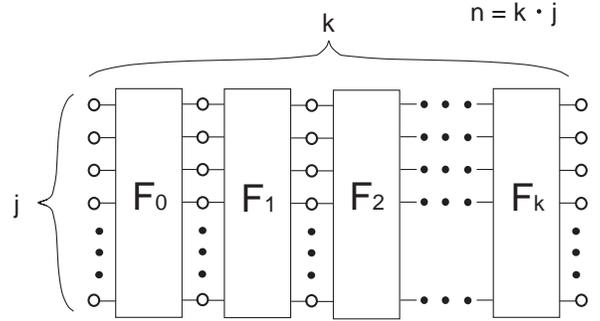


図 4 F 行列で分割された電源グリッド配線

図 4 に示した多端子 F 行列は、図 5 で表されるような構造から成り立っている。

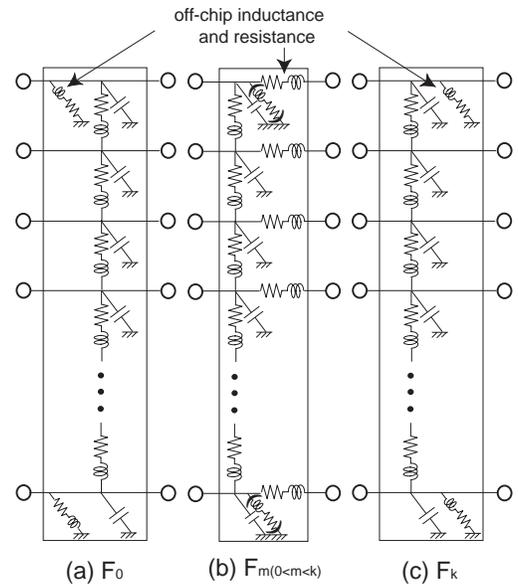


図 5 グリッド状電源配線内の多端子 F 行列の構造

4.3 インピーダンス行列及び伝達関数の計算手法

電源配線を多端子 F 行列に分割後、両方向からスキャンを行うことでインピーダンス行列と伝達関数を求める手法を提案する。

ここでは、図 4 に表されているように、列方向に対して電源配線を格子点おきに分割するものとする。はじめに、図 4 の左方向からスキャンをし、各々の列から見て左方向へのアドミタンス行列、すなわち右方向の電流源が開放されている時のアドミタンス行列を求める。左方向へのアドミタンス行列の求め方を以下に示す。 m 列において、右方向の電流源が開放状態の場合の左方向へのアドミタンス行列 $G_{m \rightarrow 0}(\omega)$ を以下のように求めることができる。

$$\begin{pmatrix} \Delta V_m(\omega) \\ \Delta I_m(\omega) \end{pmatrix} = F_m(\omega) \begin{pmatrix} \Delta V_{m-1}(\omega) \\ G_{m-1 \rightarrow 0}(\omega) \Delta V_{m-1}(\omega) \end{pmatrix} \quad (10)$$

ここで、

$$F_m(\omega) = \begin{pmatrix} A_m(\omega) & B_m(\omega) \\ C_m(\omega) & D_m(\omega) \end{pmatrix} \quad (11)$$

である。式 (11) から $G_m(\omega)$ が得られる。

$$G_m(\omega) = (C_m(\omega) + D_m(\omega)G_{m-1 \rightarrow 0}(\omega))(A_m(\omega) + B_m(\omega)G_{m-1 \rightarrow 0}(\omega))^{-1} \quad (12)$$

また、

$$\begin{aligned} \Delta V_{m-1}(\omega) &= H_{m \rightarrow m-1}(\omega)\Delta V_m(\omega) \\ &= (A_m(\omega) + B_m(\omega)G_{m-1 \rightarrow 0}(\omega))^{-1}\Delta V_m(\omega) \end{aligned} \quad (13)$$

と m 列から m-1 列への伝達関数を求めることができる。

右端までスキャンをした後、同様な方法で左端の方向にスキャンをし、今度は左方向の電流源が開放状態の場合において、右方向へのアドミタンス行列 $G_{m \rightarrow k}(\omega)$ を求める。左端までスキャン後、m 列におけるアドミタンス行列は次式で与えられる。

$$G_m(\omega) = G_{m \rightarrow 0}(\omega) + G_{m \rightarrow k}(\omega) \quad (14)$$

したがって、m 列に存在するスイッチング電流 $\Delta I_m(\omega)$ によって生じる電源ノイズ $\Delta V_m(\omega)$ は次式で表される。

$$\Delta V_m(\omega) = G_m(\omega)^{-1}\Delta I_m(\omega) \quad (15)$$

以上に述べた手法を用いることにより、グリッド状電源配線の任意の列において、同列に存在する電流源によって生じる電源ノイズを求めることができる。ここで、電源配線を多端子 F 行列で分割することにより、 $G_m(\omega)$ の行列規模を $j \times j$ にすることができる。

j 行 k 列のグリッド配線の場合、ガウスの消去法あるいは LU 分解といった手法で逆行列を求め、全列においてインピーダンス行列を求めるには、 $O(j^3k^3)$ の計算コストがかかるが、以上に述べた提案手法では、 $O(j^3k)$ で済む。

本稿では、以上に述べた方法であらかじめグリッド状電源配線のインピーダンス行列と伝達関数をデータベースとして用意しておく。このようにデータベースとして用意しておくことで、同じ電源配線構造であれば、それらのデータベースを使用することで同列に発生するスイッチング電流によって生じる電源ノイズを求めることができる。

4.4 多端子 F 行列を用いた電源ノイズ高速計算手法

本節では、前節で説明したように多端子 F 行列を用いることで、使用するグリッド状電源配線のインピーダンス行列と伝達関数が与えられているものとする。この時、インピーダンス行列と伝達関数を用いることで、電源ノイズとその伝播を計算し、グリッド状電源配線の全格子点において、チップ全体のスイッチング電流によって発生する電源ノイズを計算する手法を提案する。

前節と同様に左端からスキャンを行い、左方向及び同列から伝播してくる電源ノイズを計算する。m 列のスイッチング電流 $\Delta I_m(\omega)$ によって発生した m 列の電源ノイズ $\Delta V_m(\omega)$ は式 (15) から求めることができる。図 6 に示すように m 列の左方

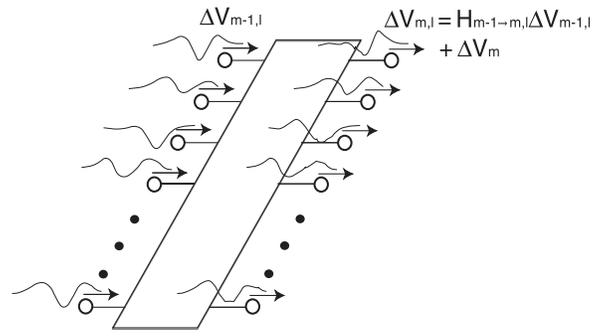


図 6 電源ノイズの伝播

向及び同列から伝播してくる電源ノイズを $\Delta V_{m,l}(\omega)$ とすると、次式が成立する。

$$\Delta V_{m,l}(\omega) = H_{m-1 \rightarrow m,l}(\omega)\Delta V_{m-1,l}(\omega) + \Delta V_m(\omega) \quad (16)$$

右端までスキャン後、左端までスキャンを行うことで、m 列の右方向から伝播してくる電源ノイズ $\Delta V_{m,r}(\omega)$ も同様を求めることができる。したがって、m 列において、回路全体のスイッチング電流によって生じる電源ノイズ $\Delta V_{m,all}(\omega)$ は、

$$\Delta V_{m,all}(\omega) = \Delta V_{m,l}(\omega) + \Delta V_{m,r}(\omega) \quad (17)$$

と求めることができる。

このように、全電源線ノードに接続されたスイッチング電流によって生じる電源ノイズを全ノードにおいて求めることができる。この際に要する計算コストは $O(jk^2)$ である。電源線のノード数を $n = jk$ すると、 $k \ll j$ の場合では計算コストは $O(n)$ であり、最も計算時間がかかる $k = j$ の場合でも $O(n^{1.5})$ で、全ノードにおいて電源ノイズを計算することができる。

4.5 確率的手法を用いた電源ノイズの静的見積もり手法

前節で述べたような手法により、グリッド状電源配線構造の時に高速に電源ノイズを計算することができる。しかしながら、電源ノイズはプライマリインプットに依存することから、電源ノイズの例えば平均や 2 乗平均等の特徴を求めるために、何度もプライマリインプットを与えてシミュレーションを行うのは非常に時間がかかる場合が多い。そこで、本節では伝達関数を利用して、静的にノイズの平均やパワースペクトルを求める手法を提案する。

ΔV_m の期待値を $E[\Delta V_m]$ と定義すると、 $E[\Delta V_m]$ は以下の式で表される。

$$E[\Delta V_m(\omega)] = G_m(\omega)^{-1}E[\Delta I_m(\omega)] \quad (18)$$

ここで、

$$E[\Delta I_m(\omega)] = (p_{m1}\Delta I_{m1}(\omega) \quad p_{m2}\Delta I_{m2}(\omega) \quad \cdots \quad p_{mj}\Delta I_{mj}(\omega))^T \quad (19)$$

である。また、式 (16) から次式が成立する。

$$E[\Delta V_{m,l}(\omega)] = H_{m-1 \rightarrow m,l}(\omega)E[\Delta V_{m-1,l}(\omega)] + E[\Delta V_m(\omega)] \quad (20)$$

同様にして、 $E[\Delta V_{m,r}(\omega)]$ を求めることによって、 $E[\Delta V_{m,all}(\omega)]$ を計算することができる。電圧ノイズの平均値はノイズの直流成分によるものであるから、 $E[\Delta V_{m,all}(0)]$

で求めることができる。パワースペクトルも、伝達関数を利用することで同様に求めることができる [11]。ここで、パワースペクトルを高速に見積もるために各々のスイッチング確率には相関がないと仮定する。パワースペクトルを積分することにより、電源ノイズの 2 乗平均を計算することができる。

5. 評価結果

本稿で述べた手法を用いて、分割された電源グリッド配線から、インピーダンス行列や伝達関数を計算し、伝達関数を用いることで全電源線に発生する電源ノイズを見積もり、HSPICE との比較を行った。

5.1 精度の比較

20 × 20 のグリッド状電源配線を対象に、電源ノイズの精度に関して HSPICE との比較を行った。

各格子点に適切な電流源を発生させた場合において、多端子 F 行列を用いて求めた場合と、HSPICE を用いて求めた場合における電源ノイズ波形の過渡解析の比較を行った。提案手法では、周波数領域において計算を行うため、計算後に逆フーリエ変換を行うことで時間領域での電源電圧波形を求めた。

得られた電源電圧波形を図 7 に示す。

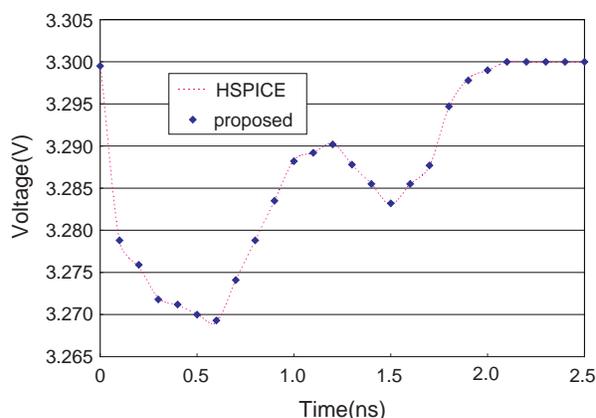


図 7 電源電圧波形の過渡解析の比較

図 7 から分かるように、提案手法によって求めた電源電圧波形は HSPICE によって求めた波形とほとんど一致している。多端子 F 行列を用いることによってほぼ正確な電源ノイズの計算が可能であることが分かる。

次に、電源ノイズの平均値・2 乗平均値の比較を行った。各格子点に適切な電流源とスイッチング確率を与えた。HSPICE では、1000 入力の電源ノイズ波形を計算し、全格子点における電源ノイズの平均値と 2 乗平均値を求め、提案手法によって静的に求めた値と比較を行った。結果として提案手法では、全ての格子点において最も誤差の大きいノードで、ノイズの平均値、2 乗平均値が 7% 以内の誤差内で求められていることが分かった。

5.2 計算時間の比較

評価条件としては電源グリッドモデルにおいて、単一周波数において AC 解析を行い、HSPICE と比較した。グリッド配線からインピーダンス行列と伝達関数を計算する時間と各格子点

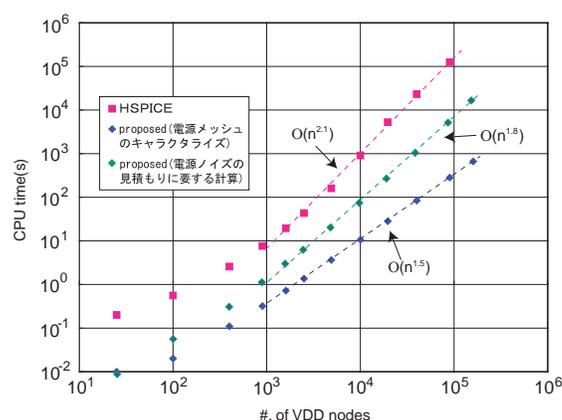


図 8 電源ノード数と計算時間における比較結果

に適切な電流源とスイッチング確率を与えた時に電源ノイズを見積もるのに要する時間について、電源線のノード数と CPU の関係を示した図を図 8 に示す。

図 8 の結果から分かるように、HSPICE では電源線ノードが 1000 以上になると、電源線の格子点数 n に対して CPU 時間はおよそ $O(n^{2.1})$ で増加していることが分かる。さらに、HSPICE では電源ノイズの 2 乗といったパラメータを精度良く求めるには、何 10 パターンといったプライマリインプットを与えてシミュレートする必要がある。一方、提案手法では、与えられたグリッド配線からインピーダンス行列と伝達関数の値を計算するのに要する CPU 時間はおよそ $O(n^{1.8})$ であった。ここで、インピーダンス行列と伝達関数の値を一度求めデータベース化すれば、同様の電源グリッド構造を用いた回路では、このような計算をする必要がなくなる。

その後、それらのデータベースを参照することで、 $O(n^{1.5})$ の CPU 時間で電源グリッド配線の全格子点における電源ノイズを計算することができることが分かる。また、提案手法では伝達関数と確率的手法を用いることで、何回もプライマリインプットを与える必要がなく電源ノイズの平均値や 2 乗平均を求めることができる。

5.3 大規模な回路における電源ノイズマップの提示

HSPICE と比較できる程度の規模の回路では、効率的に電源ノイズを見積もることが可能であることが分かった。本稿では、大規模かつ現実的なデジタル回路である MIPS R10K プロセッサコアを対象に電源ノイズの見積もりを行った。各々の格子点における電流源は、プロセッサコアの各々の構造から大まかに見積もった値を与えることにした。MIPS R10K の大まかな回路構成を図 9 に示す。回路構成や大まかな電流源の見積もりは [14] を参照にした。

次に、本稿で使用した電源配線モデルを図 10 に示す。格子点間の抵抗を $0.1(\Omega)$ 、インダクタンスを $1.0(\text{pH})$ 、キャパシタを $50(\text{fF})$ とし、電源グリッドの最も外側のリングの線幅は内側の線幅の 100 倍とした。また、電源電圧を 3.3V に設定した。

提案手法を用いることで、全格子点において平均の電源電圧降下の見積もりを行った。その結果をノイズマップとして図 9 に示す。

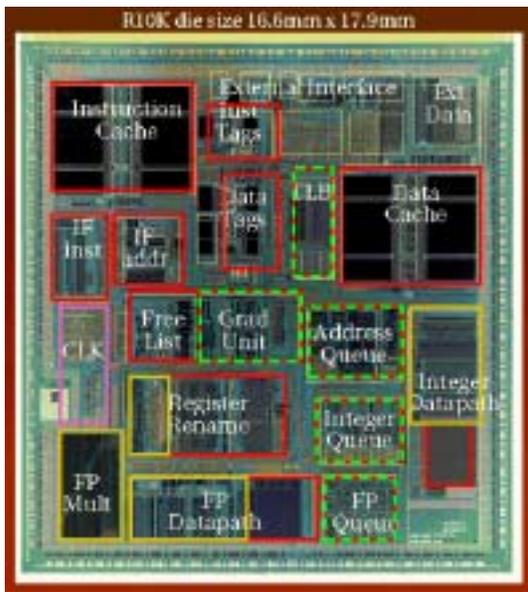


図9 MIPS R10K プロセッサコア

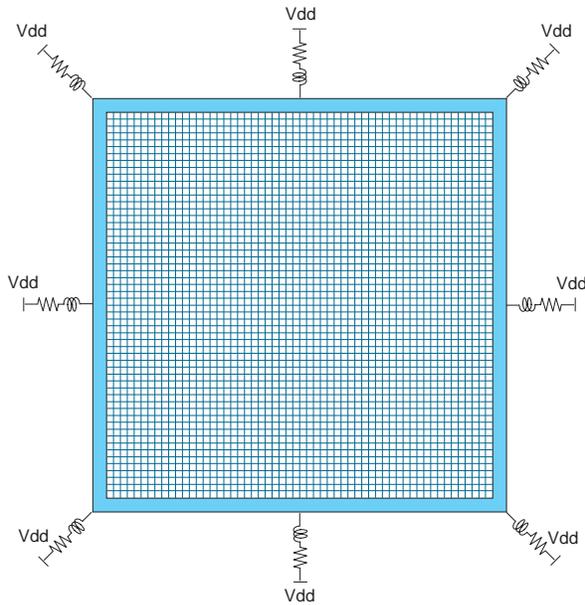


図10 200 × 200 のグリッド状電源配線モデル

この見積りに要した CPU 時間は 83(s) であった。一方、HSPICE では 1 入力パターンでさえも約 23000(s) の CPU 時間を要した。このように、提案手法を用いることで全電源線ノードにおける電源ノイズの影響を高速に見積もることができる。

6. 結論

規則的なグリッド状電源配線を対象にして、電源配線を多端子 F 行列に分割し、インピーダンス行列や伝達関数をデータベース化しておき、それらのデータベースを用いて伝達関数を掛け合わせノイズ伝播を計算していくことで、電源グリッド配線において全電源線ノードにおける電源ノイズを HSPICE と比較してオーダー的に高速に見積もることが可能となった。

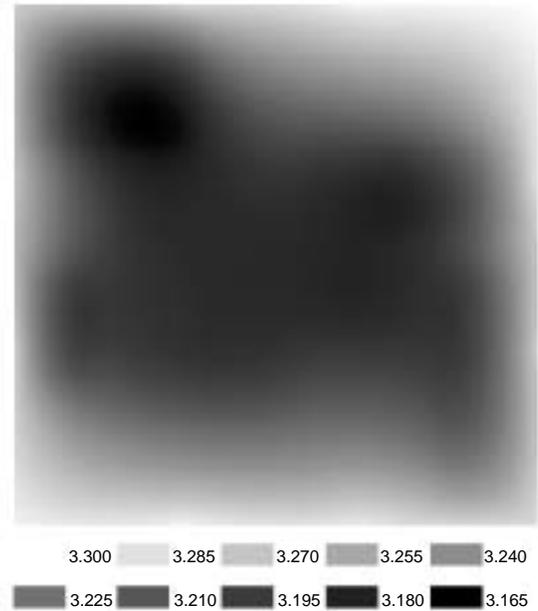


図11 MIPS R10K プロセッサコアの電源ノイズマップ

文献

- [1] M. P. Marks, "Future Directions in Microprocessor Technology," *IEEE Journal of Solid-State Circuits*, vol. 30, no. 4, pp. 371-374, April 1995
- [2] H. H. Chen and D. D. Ling, "Power Supply Noise Analysis Methodology for Deep-Submicron VLSI Chip Design," *Proc. DAC*, pp. 1-6, June 1997
- [3] M. Zhao, et. al, "Hierarchical Analysis of Power Distribution Networks," *Proc. DAC*, pp. 150-155, June 2000
- [4] Y. Cao, et. al, "PRIMA: Hierarchical and Passivity Reserved Interconnect Macromodeling Engine for RLKC Power Delivery," *Proc. DAC*, pp. 379-384, June 2002
- [5] Y. Murasaka, et. al, "Chip-Level Substrate Noise Analysis with Network Reduction by Fundamental Matrix Computation," *Proc. ISQED*, pp. 482-487, March 2001
- [6] T.-H. Chen and C. C. Chen, "Efficient Large-Scale Power Grid Analysis Based on Preconditioned Krylov-Subspace Iterative Methods," *Proc. DAC*, pp. 559-562, June 2001
- [7] H. Kriplani, F. N. Najm and I. N. Hajj, "Pattern Independent Maximum Current Estimation in Power and Ground Buses of CMOS VLSI Circuits: Algorithm, Signal Correlations, and Their Resolution," *IEEE Trans. CAD*, vol.14, no.8, pp. 998-1012, August 1995
- [8] G. Bai, S. Bobba and I. N. Hajj, "Power Bus Maximum Voltage Drop in Digital VLSI Circuits," *Proc. ISQED*, pp. 263-268, March 2000
- [9] G. Bai, S. Bobba and I. N. Hajj, "RC Power Bus Maximum Voltage Drop in Digital VLSI Circuits," *Proc. ISQED*, pp. 205-210, March 2001
- [10] Y. M. jiang, K. T. Cheng, "Vector Generation for Power Supply Noise Estimation and Verification of Deep Submicron Designs," *IEEE Trans. CAD*, vol.9, no.2, pp. 329-340, April 2001
- [11] S. Sugiyama, M. Ikeda, K. Asada, "Quick Power Supply Noise Estimation Using Hierarchically Derived Transfer Functions," *Proc. ICECS*, vol. 2, pp. 713-716, September 2002
- [12] K. -H. Erhard, F. M. Johannes and R. Dachauer, "Topology Optimization Techniques for Power/Ground Networks in VLSI," *Proc. Euro-DAC*, pp. 362-367, 1992
- [13] 浅井 秀樹, 渡辺貴之, "電子回路シミュレーション技法," pp. 135, 平成 14 年 12 月
- [14] <http://www.ee.princeton.edu/~mrm/tutorial/Sigmetrics200Ltutorial.pdf>