

A Study on Power Line Noise Reduction in Large Scale Integration**半導体集積回路における電源ノイズ低減に関する研究**

指導教員: 浅田 邦博 教授

電子工学専攻 名倉 徹

1	研究の背景	1
2	ノイズ低減に関するスタブとデカップリング容量との比較	2
2.1	はじめに	2
2.2	スタブ理論	2
2.2.1	$\lambda/4$ スタブの基本原理	2
2.3	スタブとデカップリング容量の解析式	3
2.3.1	スタブと容量のインピーダンス	3
2.3.2	数値解析	5
2.4	回路シミュレーション	6
2.4.1	内部回路	6
2.4.2	シミュレーション結果	6
2.5	考察	6
2.5.1	周波数成分	6
2.5.2	より高周波の場合	7
2.6	まとめ	7
3	スタブを用いた電源ノイズ低減に関する測定	8
3.1	はじめに	8
3.2	オンチップスタブ	8
3.2.1	スタブの設計	8
3.2.2	テスト回路	8
3.2.3	測定系	9
3.2.4	測定結果	9
3.3	オンボードスタブ	10
3.3.1	測定系	10
3.3.2	スタブの設計	11
3.3.3	Sパラメータ	11
3.3.4	ノイズスペクトル	11
3.3.5	電源ノイズの動作周波数依存性	11
3.3.6	低周波成分について	12
3.3.7	スタブ中の電流分布	12
3.3.8	動作周波数依存性	13
3.4	考察	13
3.4.1	スタブのオンチップ集積化への可能性	13
3.5	まとめ	13
4	オンチップ di/dt 測定回路	14
4.1	はじめに	14
4.2	回路設計	14
4.2.1	基本原理	14
4.2.2	相互インダクタ	14
4.2.3	増幅器と出力バッファ	15
4.2.4	ノイズ源としての内部回路	16
4.2.5	電源系	16
4.2.6	全体回路	16

4.3	モデル化	16
4.3.1	解析式	16
4.3.2	パラメータ値	17
4.4	測定	17
4.4.1	測定系	17
4.4.2	測定感度	18
4.4.3	精度について	18
4.5	考察	18
4.5.1	デカップリング容量の効果	18
4.5.2	活性化率、相互インダクタ依存性	19
4.6	改良版 di/dt 測定回路	19
4.6.1	相互インダクタ	19
4.6.2	測定系	19
4.6.3	測定波形	19
4.7	フィードバック式 di/dt 制御	20
4.7.1	実現方法	20
4.7.2	シミュレーション波形	21
4.8	まとめ	21
5	di/dt 測定回路を用いたフィードフォワード式動的基板ノイズ低減手法	22
5.1	はじめに	22
5.2	回路設計	22
5.2.1	基板ノイズと di/dt	22
5.2.2	ノイズキャンセラ	23
5.2.3	検証用基板ノイズ測定回路	23
5.2.4	ノイズ源としての内部回路	23
5.2.5	パラメータ値	23
5.2.6	フロアプラン	24
5.3	測定	24
5.3.1	測定系	24
5.3.2	基板ノイズ波形	24
5.3.3	周波数依存性	25
5.4	考察	25
5.4.1	電流注入	25
5.5	まとめ	26
6	結論	27
	参考文献	28
	発表文献	29

第1章

研究の背景

半導体集積回路の製造能力向上に伴い、チップ面積および単位面積当たりに集積可能なトランジスタ数が増加している。さらに、回路の高速化と配線容量の増加とが重なり、LSIの消費電力が増大している。一方、トランジスタの微細化・低消費電力化への取り組み・ゲート酸化膜の薄膜化などを目的に電源電圧は低くなり、したがって、電源電圧に関するノイズマージンが低下している。LSIの電源電圧と消費電力に関して、ITRS (International Technology Roadmap for Semiconductor) による将来予測 [1] によると、例えば2013年には0.5V電源で251Wの消費電力になると予測されており、これは500A以上の電流が1チップに流れることを意味している。大電流はLSIに大きな電圧ノイズを引き起こし、今後はシグナルインテグリティの問題が深刻化していくことが予想される。

電源線を低インピーダンスに設計することが、LSIの安定動作に有効である。電源線のインピーダンスと電源電流によって引き起こされる電源ノイズは、LSIのタイミングエラーやロジックエラーの原因となる。ここで、平均的な電圧変動だけではなく、瞬間的な電圧変動ピークをも抑えることが重要となってくる。

従来は、電源線の抵抗成分による電圧降下が電源ノイズの主要因であったが、LSIの高速化に伴い、電源線のインダクタンス成分と電源電流変化による di/dt ノイズの影響が大きくなってきた。したがって、電源線を低インピーダンスに設計することだけでなく、消費電流の時間変化を小さくすることも電源ノイズ低減に有効である。

これまで、電源電圧変動や電源インピーダンスの抽出などに関しては多くの研究がなされてきたが、電源電流や、その時間変化(di/dt)に関しては、あまり関心をもたれていなかった。 di/dt は電源ノイズや電磁放射ノイズ(EMI: Electro-Magnetic Interference)ノイズの重要な要素であり、最近ではEMC (Electro-Magnetic Compatibility)に関する基準が強化されている [2]。電磁放射ノイズは、ケーブル・コネクタ・PCB (Printed Circuit Board) ボード配線・LSIのパッケージなどから放射されているが、その根元はLSIスイッチングによる di/dt である。電磁放射ノイズの主要因はLSIの電源線からの放射であり、電源ケーブルやPCBの電源層から電源電流が流れることで、それらのオフチップ導体から電磁波が放射される。ここで、電磁放射は、電圧変動ではなく電流変動(di/dt)によって発生する。したがって、 di/dt は電源ノイズだけでなく、EMIノイズの解析・制御にも有効である。

マルチメディアアプリケーションなどの発展により、

高感度のアナログ回路と高速・大規模なデジタル回路の集積化が必要となってきた。このようなアナログ・デジタル混載LSIにおいて、基板ノイズがアナログ回路に悪影響を及ぼし、チップ全体の性能を制限するようになってきた。通常、デジタル回路で発生したノイズがアナログ回路に影響を与えないように、それらの電源線は分離して設計される。しかし、同一の基板上に作り込まれた回路では、基板を通じてノイズが伝搬してしまう。

基板ノイズを低減するためにはガードリングが広く用いられているが、ガードリング線のインピーダンスの影響で、高周波成分のノイズに対しては有効性が低い。別の方法として、基板ノイズを測定し、その逆位相の信号をガードリングに注入することで元の基板ノイズを打ち消す、フィードバック式のアクティブガードリングが提案されているが、フィードバック方式による応答速度制限のため、高周波ノイズに対して有効ではない。

基板は電源線と低インピーダンスで接続されており、基板ノイズは、 di/dt ノイズが主要因である電源ノイズと深い関係がある。

したがって、高速動作LSIにおけるシグナルインテグリティを向上させるためには、 di/dt の低減と di/dt の測定方法の確立が重要となってくる。

本論文は、 di/dt によって引き起こされる電源ノイズの低減に関して述べる。

第2章では、電源ノイズを低減する手法として、デカップリング容量の代りにスタブを用いることを提案する。スタブとデカップリング容量とを比較し、スタブの方が効果的に電源ノイズを低減する条件を理論的に求める。

第3章では、スタブを用いた電源ノイズ低減に関する測定結果を示す。オフチップのスタブを用いることで電源ノイズが低減されることと、その周波数依存性についても示す。

第4章では、オンチップの di/dt 測定回路について述べる。 di/dt 測定回路出力と、直列に挿入された抵抗の両端の電圧から計算した電流値を比較し、それらの値がよく一致したことを示す。

第5章では、フィードフォワード方式を用いたアクティブな基板ノイズ低減手法を示す。4章で述べた di/dt 測定回路を用いて、基板ノイズと逆位相の信号を作り出して基板に注入することで、基板ノイズを打ち消すことができる。

最後に、第6章に、LSIにおける電源ノイズ低減に関する研究についてまとめ、本論文の結論とする。

第2章

ノイズ低減に関するスタブとデカップリング容量との比較

本章の要旨

本章では、電源ノイズ低減に関して、スタブとデカップリング容量とを比較する。LSIの電源線に接続された1/4波長のスタブは帯域除去フィルタとして動作し、その周波数の電源ノイズを抑えることができる。スタブがデカップリング容量よりも効果的にノイズを抑えるための条件を明らかにする。LSIの動作周波数が向上すればするほどスタブは効果的に働き、将来的にはスタブのオンチップ集積化が可能であることを理論的に示す。

2.1 はじめに

電源ノイズは電源線のインピーダンスと電源電流によって引き起こされる。LSIの動作周波数の向上に伴い、抵抗成分による電圧降下(IRドロップ)だけでなく、インダクタンス成分と電流変化(di/dt)による di/dt ノイズの影響が大きくなってきている。電源ノイズはタイミングエラーやロジックエラーを引き起こす。ゲート遅延は $1/(V_{dd} - V_{th})$ に比例する[3]ので、例えば、閾値電圧 V_{th} が $0.3V_{dd}$ の時、10%の電源電圧降下によって遅延は15%増大する。また、電源電圧変動によって論理閾値が変化するため、送信側の出力電圧レベルと受信側の論理閾値が同時に逆方向に変動した場合にはロジックエラーとなる可能性がある。したがって、平均的な電圧降下だけでなく、瞬間的な電圧変動ピークを抑えることも必要である。また、電磁放射ノイズ(EMI: Electro-Magnetic Interference)は di/dt によって発生することからも、 di/dt を抑えることが重要となる。

電源ノイズと di/dt を抑えるために、準同期回路方式[4]や複雑なPCBボード設計手法[5]などが提案されてい

るが、回路設計が複雑になってしまう。最も広く使われているのはデカップリング容量を電源とグランドに挿入することであるが、チップ容量は、その端子の寄生インダクタンスの影響により特に高周波ノイズに対して効果が小さい。また、オンチップ容量はチップ面積を消費してしまう。

1/4波長のスタブは帯域除去フィルタとして動作するため、図2.1に示すように、LSIの電源線に接続することで、その周波数成分に対する電源ノイズを抑えることができる。スタブは有線通信路におけるインピーダンスマッチングに広く使われているが、一般的に伝送線路の損失を無視して考えることが多い。伝送線路の損失に関しては信号線についてのみ研究がなされている[7]。

本章では、スタブとデカップリング容量に関して、電源ノイズと di/dt 低減の観点から比較する。

2.2節ではスタブの基本原理について説明する。2.3節でスタブとデカップリング容量の解析式を導き、電源ノイズ低減の効果について比較する。2.5節ではそれらの考察を行い、2.6節で本章のまとめを述べる。

2.2 スタブ理論

2.2.1 $\lambda/4$ スタブの基本原理

1/4波長のスタブは帯域除去フィルタとして動作する。本節ではスタブに関する解析式を導く。

動作周波数が向上して電圧・電流の波長が配線長と同程度に短くなった場合、配線は抵抗・容量(RC)の集中定数ではなく、伝送線路として扱う必要がある。伝送線路の特性インピーダンスを Z_0 、伝搬定数を γ とすると、

$$Z_0 = \sqrt{\frac{R + j\omega L}{G + j\omega C}} \quad (2.1)$$

$$\gamma = \sqrt{(R + j\omega L)(G + j\omega C)} \quad (2.2)$$

$$\equiv j\beta_c = \alpha + j\beta_r \quad (2.3)$$

となる。ここで、 R, L, G, C は、単位長さ当たりの抵抗、インダクタンス、誘電体損を模擬したコンダクタンス、容量である。ここでは $G = 0$ とする。

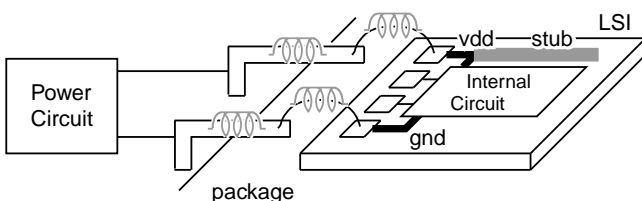


Figure 2.1: Stub di/dt reduction.

前進波・後進波は $V_f e^{-\gamma z}$, $V_b e^{\gamma z}$ と表される。この表現は位相係数 β_r と減衰係数 α によって

$$V_f e^{-\gamma z} \equiv V_f e^{-\alpha z} e^{-j\beta_r z} = V_f e^{-(\alpha+j\beta)z} = V_f e^{-j(\beta_r-j\alpha)z} \quad (2.4)$$

と変形できる。ここで、

$$\alpha = \text{real}(\gamma), \quad \beta_r = \text{imag}(\gamma) \quad (2.5)$$

であり、複素位相係数 β_c として

$$\beta_c = \beta_r - j\alpha \quad (2.6)$$

と表すことができる。複素位相係数 β_c を用いると、前進波・後進波は $V_f e^{-j\beta_c z}$, $V_b e^{j\beta_c z}$ という馴染みのある表現で表される。ここで、複素位相係数 β_c は、損失と位相 (α , β_r) を一つのパラメータで表現したものと見える。

特性インピーダンス Z_0 の伝送線路をインピーダンス Z_l で終端したときの反射係数 Γ は

$$\Gamma = \frac{Z_l - Z_0}{Z_l + Z_0} \quad (2.7)$$

となる。また、特性インピーダンス Z_0 、長さ l 、遠方終端 Z_l の伝送線路の入力インピーダンスは

$$Z_{stub} = Z_0 \frac{Z_l \cos \beta_c l + jZ_0 \sin \beta_c l}{Z_0 \cos \beta_c l + jZ_l \sin \beta_c l} \quad (2.8)$$

である。開放終端 ($Z_l = \infty$) の場合は

$$Z_{stub} = Z_0 \frac{\cos \beta_c l}{j \sin \beta_c l} \quad (2.9)$$

となる。ここで、伝送線路の損失が無視 ($R = G = 0$) できて、その長さが波長の $1/4$ (i.e. $\beta_c l = \pi/2$) の場合は、スタブの入力インピーダンスはゼロ ($Z_{stub} = 0$) となり、これは無限大の容量と等価である。したがって、このスタブを電源線に接続することで電源ノイズを低減することができる。

LSI のスイッチングによって発生する電流の周波数成分のうち、主なものはそのクロック周波数成分 f_0 である。したがって、スタブの長さはクロック周波数に合わせて

$$l = \frac{\pi/2}{\beta_{r0}} = \frac{\lambda_0}{4} = \frac{c/\sqrt{\epsilon_r}}{4f_0} \quad (2.10)$$

とする。ここで、 λ_0 , c , ϵ_r は伝送線路内での信号波長、真空中での光速、比誘電率である。スタブ長を周波数 f_0 に合わせた場合、式 (2.9) から導かれるように、そのスタブはその奇数倍の周波数成分 $(2n-1)f_0$ をも吸収することができる。

$$\cos(\beta_c l) \approx \cos[(2n-1)\beta_{r0}l] = \cos \frac{(2n-1)\pi}{2} = 0 \quad (2.11)$$

また、長さ $l/2$ のスタブは、その第 2 の主成分である $2f_0$ と、その奇数倍 $(2n-1) \cdot 2f_0$ の周波数成分を吸収することができ、長さ l のスタブと並列に接続することができる。

2.3 スタブとデカップリング容量の解析式

2.3.1 スタブと容量のインピーダンス

前節で示したように、スタブ長を $\lambda/4$ に調整しても、実際にはその寄生抵抗成分の影響で入力インピーダンスはゼロにはならない。スタブ幅を広くすれば抵抗値は小さくなるが、それでは必要な面積が大きくなり、デカップリング容量との差が小さくなる。本節では、スタブとデカップリング容量の入力インピーダンスを、同一面積 A の条件で比較する。図 2.2 に示すように、スタブ線の厚みを t 、信号線とグランド線の距離を d 、長さ l 、幅を w 、スタブ線の抵抗率を ρ 、比誘電率を ϵ_r とする。ここでは、比誘磁率は $\mu_r = 1$ とする。

$A = lw$ と式 (2.10) より

$$w = \frac{4Af\sqrt{\epsilon_r}}{c} \quad (2.12)$$

である。単位長さ当たりの抵抗 R は

$$R = \begin{cases} \frac{\rho}{wt} \times 2 = \frac{\rho c}{2Aft\sqrt{\epsilon_r}} & (t \leq 2\delta \text{ or } w \leq 2\delta) \\ \frac{\rho}{2\delta t} \times 2 = \sqrt{\frac{\rho \pi f}{\epsilon_0 c^2 \rho^2}} & (2\delta < w < t) \\ \frac{\rho}{w2\delta} \times 2 = \sqrt{\frac{\rho \pi}{16A^2 \epsilon_r \epsilon_0 f}} & (2\delta < t < w) \end{cases} \quad (2.13)$$

となる。ここで表皮厚は $\delta = \sqrt{2\rho/(\omega\mu_0)}$ であり、図 2.3 に示すように、表皮厚内では均一に電流が流れており、中心と斜線部では電流が流れていないと仮定する。 $\times 2$ は信号線とグランド線との抵抗を統合したためであり、式 (2.12)

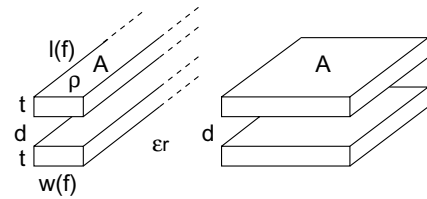


Figure 2.2: Stub and the same-area decoupling capacitor.

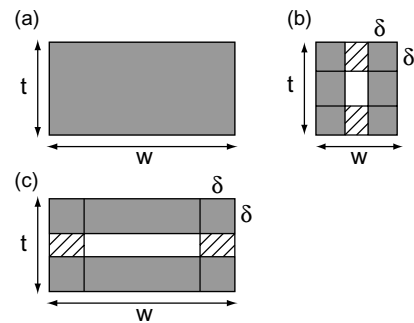


Figure 2.3: Current distribution in a wire with the skin effect. (a) $t \leq 2\delta$ or $w \leq 2\delta$, (b) $2\delta < w < t$, (c) $2\delta < t < w$.

と $c = 1/\sqrt{\mu_0\epsilon_0}$ を使った。図 2.3(a), (b), (c) になるような条件は後で記述する。

単位長さ当たりの容量 C は

$$C = \begin{cases} \frac{\pi\epsilon_r\epsilon_0}{\log \frac{d}{w/2}} = \frac{\pi\epsilon_r\epsilon_0}{\log \frac{cd}{2Af\sqrt{\epsilon_r}}} & (w < d \Rightarrow f < f_c) \\ \frac{w}{\epsilon_r\epsilon_0 d} = \frac{4\sqrt{\epsilon_r}\epsilon_r\epsilon_0 Af}{cd} & (d \leq w \Rightarrow f_c \leq f) \end{cases} \quad (2.14)$$

$$f_c = \frac{cd}{4A\sqrt{\epsilon_r}} \quad (2.15)$$

となる。ここで、 $w < d$ では平行円筒モデル [8] を使用し、 $d \leq w$ では平行平板モデルを使用した。 f_c は $w = d$ となる周波数であり、式 (2.12) を用いた。平行円筒モデルから平行平板モデルへの移行時に不連続が発生している。また、 $c/\sqrt{\epsilon_r} = 1/\sqrt{LC}$ より、

$$L = \begin{cases} \frac{\log \frac{cd}{2Af\sqrt{\epsilon_r}}}{c^2\pi\epsilon_0} & (w < d \Rightarrow f < f_c) \\ \frac{d}{4\epsilon_0cAf\sqrt{\epsilon_r}} & (d \leq w \Rightarrow f_c \leq f) \end{cases} \quad (2.16)$$

であり、また、特性インピーダンスは

$$Z_0 \approx \begin{cases} Z_{0lf} = \sqrt{\frac{R}{j\omega C}} & (\omega L < R \Rightarrow f < f_D) \\ Z_{0hf} = \sqrt{\frac{L}{C}} & (R \leq \omega L \Rightarrow f_D \leq f) \end{cases} \quad (2.17)$$

$$f_D = \frac{R}{2\pi L} \quad (2.18)$$

となる。ここで f_D は $\omega L = R$ となる周波数である。

スタブ線の全抵抗 $R \times l$ が大きい場合、スタブの入力インピーダンスはその特性インピーダンスとなり、全抵抗が十分小さい場合は入力インピーダンスはゼロに近くなり、 $Rl/2$ と近似される [9]。周波数の増大につれてスタブ線の全抵抗は小さくなるため、

$$Z_{stub} \approx \begin{cases} Z_{slf} = Z_{0lf} = \sqrt{\frac{R}{j\omega C}} & (f < f_s) \\ Z_{shf} = \frac{R}{2}l & (f_s \leq f) \end{cases} \quad (2.19)$$

$$f_s = \frac{\pi c^2 RC}{32\epsilon_r} \quad (2.20)$$

となる。ここで f_s は $|Z_{0lf}| = Rl/2$ となる周波数であり、式 (2.13), (2.10) を用いた。

同一面積のデカップリング容量の入力インピーダンスは

$$Z_{cap} = \frac{1}{j\omega C_{total}} = \frac{d}{j2\pi f\epsilon_r\epsilon_0 A} \quad (2.21)$$

である。ここでは、抵抗は無視し、理想平行平板モデルを用いた。 $|Z_{stub}|$ と $|Z_{cap}|$ との比は

$$\left| \frac{Z_{stub}}{Z_{cap}} \right| = \begin{cases} \frac{|Z_{slf}|}{|Z_{cap}|} & (f < f_s) \\ \frac{|Z_{shf}|}{|Z_{cap}|} & (f_s \leq f) \end{cases} \quad (2.22)$$

となる。ここで、 $f < f_s$ では $|Z_{slf}| < |Z_{shf}|$ が成り立つため、全ての周波数範囲で

$$\left| \frac{Z_{stub}}{Z_{cap}} \right| \leq \left| \frac{Z_{shf}}{Z_{cap}} \right| \quad (2.23)$$

という関係が成り立つ。したがって、スタブの入力インピーダンスとして Z_{shf} を用いる。これはスタブにとって是不利な条件での比較となる。入力インピーダンスの比は

$$\left| \frac{Z_{shf}}{Z_{cap}} \right| = \begin{cases} \frac{\pi c^2 \epsilon_0 \rho}{8tdf} & (t < 2\delta \text{ or } w < 2\delta) \\ \sqrt{\frac{\pi^3 \epsilon_r \epsilon_0 \rho A^2 f}{16t^2 d^2}} & (2\delta < w < t) \\ \sqrt{\frac{\pi^3 c^2 \epsilon_0 \rho}{256d^2 f}} & (2\delta < t < w) \end{cases} \quad (2.24)$$

となる。ここで、式 (2.13), (2.19), (2.21) を用いた。図 2.4(ii) に示すように、最初 (a) と最後 (c) の条件では、周波数が高くなるにつれて比は小さくなり、2 番目の条件 (b) では比は大きくなる。

$Z_{shf} = |Z_{cap}|$ となる境界周波数 f_B は

$$f_B = \begin{cases} \frac{\pi c^2 \epsilon_0 \rho}{8td} & (t < 2\delta \text{ or } w < 2\delta) \\ \frac{\pi^3 \epsilon_r \epsilon_0 \rho t^2 A^2}{16t^2 d^2} & (2\delta < w < t) \\ \frac{\pi^3 c^2 \epsilon_0 \rho}{256d^2} & (2\delta < t < w) \end{cases} \quad (2.25)$$

となる。

ここで、 t, w, δ の関係は

$$(a) \quad t \leq 2\delta \text{ or } w \leq 2\delta \Rightarrow \begin{cases} \frac{t^3}{A} \leq \frac{16\rho\sqrt{\epsilon_r}\epsilon_0 c}{\pi} \text{ and } f \leq f_{R1} \\ \frac{t^3}{A} > \frac{16\rho\sqrt{\epsilon_r}\epsilon_0 c}{\pi} \text{ and } f \leq f_{R2} \end{cases} \quad (2.26)$$

$$(b) \quad 2\delta < w < t \Rightarrow \begin{cases} \frac{t^3}{A} > \frac{16\rho\sqrt{\epsilon_r}\epsilon_0 c}{\pi} \text{ and } f_{R2} < f < f_{R0} \end{cases} \quad (2.27)$$

$$(c) \quad 2\delta < t < w \Rightarrow \begin{cases} \frac{t^3}{A} \leq \frac{16\rho\sqrt{\epsilon_r}\epsilon_0 c}{\pi} \text{ and } f_{R1} < f \\ \frac{t^3}{A} > \frac{16\rho\sqrt{\epsilon_r}\epsilon_0 c}{\pi} \text{ and } f_{R0} \leq f \end{cases} \quad (2.28)$$

$$f_{R0} = \frac{ct}{4A\sqrt{\epsilon_r}}, \quad f_{R1} = \frac{4\rho c^2 \epsilon_0}{\pi t^2}, \quad f_{R2} = \sqrt[3]{\frac{\rho c^4 \epsilon_0}{4\pi A^2 \epsilon_r}} \quad (2.29)$$

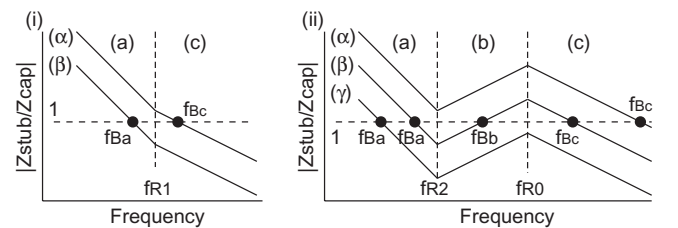


Figure 2.4: Simplified graph of $|Z_{stub}/Z_{cap}|$. (i) when $\frac{t^3}{A} \leq \frac{16\rho\sqrt{\epsilon_r}\epsilon_0 c}{\pi}$, and (ii) when $\frac{t^3}{A} > \frac{16\rho\sqrt{\epsilon_r}\epsilon_0 c}{\pi}$.

となる。ここで、 f_{R0} , f_{R1} , f_{R2} は $w = t$, $2\delta = t$, $2\delta = w$ となる周波数である。

また、 $f < f_{R0}$ では $w < t$ であり、 $f > f_{R0}$ では $w > t$ となる。さらに、図 2.4(i) に示すように $\frac{t^3}{A} \leq \frac{16\rho\sqrt{\epsilon_r}\epsilon_0 c}{\pi}$ では条件 (b) $2\delta < w < t$ は起らない。

f_B が式 (2.26) を満たす、つまり、図 2.4 の (i)-(β), (ii)-(β), (ii)-(γ) を満たす条件は

$$\begin{cases} \frac{t^3}{A} \leq \frac{16\rho\sqrt{\epsilon_r}\epsilon_0 c}{\pi} \text{ and } t \leq \frac{32d}{\pi^2} \\ \frac{t^3}{A} > \frac{16\rho\sqrt{\epsilon_r}\epsilon_0 c}{\pi} \text{ and } t^3 \geq \frac{\pi^4 c^2 \epsilon_r \epsilon_0^2 \rho^2 A^2}{128d^3} \end{cases} \quad (2.30)$$

であり、また、 f_B が式 (2.27) を満たす、つまり、図 2.4 の (ii)-(β) を満たす条件は

$$\frac{t^3}{A} > \frac{16\rho\sqrt{\epsilon_r}\epsilon_0 c}{\pi} \text{ and } \frac{\pi^4 c^2 \epsilon_r \epsilon_0^2 \rho^2 A^2}{128d^3} < t^3 < \left(\frac{\pi^3 c \sqrt{\epsilon_r} \epsilon_0 \rho A}{64d^2} \right)^3 \quad (2.31)$$

であり、また、 f_B が式 (2.28) を満たす、つまり、図 2.4 の (i)-(α), (ii)-(α), (ii)-(β) を満たす条件は

$$\begin{cases} \frac{t^3}{A} \leq \frac{16\rho\sqrt{\epsilon_r}\epsilon_0 c}{\pi} \text{ and } t > \frac{32d}{\pi^2} \\ \frac{t^3}{A} > \frac{16\rho\sqrt{\epsilon_r}\epsilon_0 c}{\pi} \text{ and } t \leq \frac{\pi^3 c \sqrt{\epsilon_r} \epsilon_0 \rho A}{64d^2} \end{cases} \quad (2.32)$$

である。ここで、式 (2.25) において $f = f_B$ として式 (2.26), (2.27), (2.28) を用いた。また、 $\frac{\pi^4 c^2 \epsilon_r \epsilon_0^2 \rho^2 A^2}{128d^3} < \left(\frac{\pi^3 c \sqrt{\epsilon_r} \epsilon_0 \rho A}{64d^2} \right)^3$ は $\frac{t^3}{A} > \frac{16\rho\sqrt{\epsilon_r}\epsilon_0 c}{\pi}$ の条件では常に成り立つ。

さらに、式 (2.31) の条件は、式 (2.30), (2.32) の両方の条件に含まれるため、図 2.4(ii)-(β) で示されるように式 (2.31) の条件では 3 つの周波数で $|Z_{shf}/Z_{cap}| = 1$ が成り立つことになる。その場合、それ以上の周波数では常にスタブの入力インピーダンスの方が小さくなるという境界周波数として図 2.4(ii)-(β) の f_{Bc} を用いる。したがって、式 (2.31) の条件は式 (2.32) の条件に含まれることになり、これは条件 (ii)-(β) が (ii)-(α) に含まれることと同一である。結局、境界周波数は

$$f_B = \frac{\pi c^2 \epsilon_0 \rho}{8td} \quad \text{if} \quad (2.33)$$

$$\begin{cases} \frac{t^3}{A} \leq \frac{16\rho\sqrt{\epsilon_r}\epsilon_0 c}{\pi} \text{ and } t \leq \frac{32d}{\pi^2} \\ \frac{t^3}{A} > \frac{16\rho\sqrt{\epsilon_r}\epsilon_0 c}{\pi} \text{ and } t > \frac{\pi^3 c \sqrt{\epsilon_r} \epsilon_0 \rho A}{64d^2} \end{cases} \quad (2.34)$$

$$f_B = \frac{\pi^3 c^2 \epsilon_0 \rho}{256d^2} \quad \text{if} \quad (2.35)$$

$$\begin{cases} \frac{t^3}{A} \leq \frac{16\rho\sqrt{\epsilon_r}\epsilon_0 c}{\pi} \text{ and } t > \frac{32d}{\pi^2} \\ \frac{t^3}{A} > \frac{16\rho\sqrt{\epsilon_r}\epsilon_0 c}{\pi} \text{ and } t \leq \frac{\pi^3 c \sqrt{\epsilon_r} \epsilon_0 \rho A}{64d^2} \end{cases} \quad (2.36)$$

となる。

境界周波数 f_B より高い周波数では、スタブの入力インピーダンスはデカップリング容量のインピーダンスよりも小さくなり、したがって、LSI の動作周波数が境界周波数よりも高い場合には、電源ノイズ低減に関してスタブの方がデカップリング容量よりも効果的である。

2.3.2 数値解析

前述の解析の妥当性を検証するため、数値解析を行う。一定面積 A において、スタブ線の厚さを t 、距離を d 、抵抗率を ρ 、比誘電率を ϵ_r とし、周波数が決まると式 (2.10) を用いてスタブ長が求まり、スタブ幅は式 (2.12) より求まる。単位長さあたりのインダクタンス L と容量 C は 2 次元のソルバである Raphael[10] を用いて計算した。単位長さあたりの抵抗 R は抵抗率や表皮効果を考慮した 3 次元のソルバである FastHenry[11] を用いて計算した。その後、式 (2.1)-(2.9) を用いてスタブの入力インピーダンスを求め、容量のインピーダンスは式 (2.21) から求めた。

特性インピーダンス、スタブの入力インピーダンス、容量の入力インピーダンス、単位長さあたりの抵抗の周波数依存性を図 2.5 に示す。ここでは一例として $d = 5\mu\text{m}$, $t = 1\mu\text{m}$, $A = 1\text{mm}^2$, $\epsilon_r = 3.9$ (SiO₂), $\rho = 1.673 \times 10^{-8} \Omega \cdot \text{m}$ (Cu) とした。図 2.6 にスタブと容量の入力インピーダンスとそ

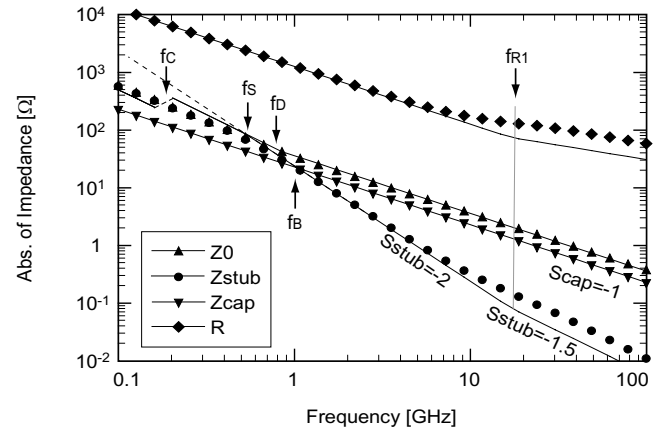


Figure 2.5: Frequency dependence of the characteristic impedance, the stub and the capacitor input impedance, and the stub resistance per unit length. The parameter values are $d = 5\mu\text{m}$, $t = 1\mu\text{m}$, $A = 1\text{mm}^2$, $\epsilon_r = 3.9$, $\rho = 1.673 \times 10^{-8} \Omega \cdot \text{m}$.

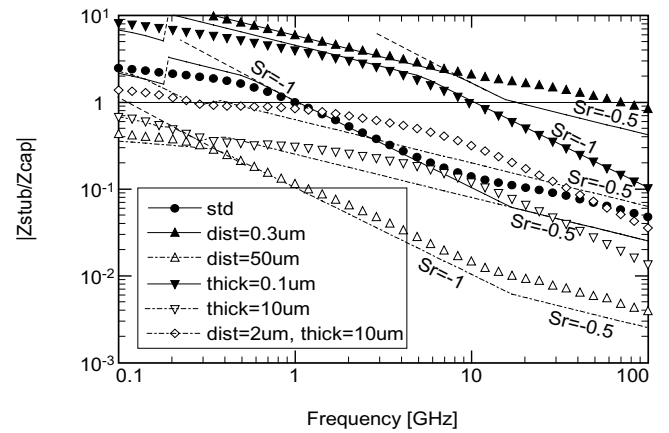


Figure 2.6: Input impedance ratio of the stub and the decoupling capacitor with changing a parameter. The standard parameters are $d = 5\mu\text{m}$, $t = 1\mu\text{m}$, $A = 1\text{mm}^2$, $\epsilon_r = 3.9$, $\rho = 1.673 \times 10^{-8} \Omega \cdot \text{m}$.

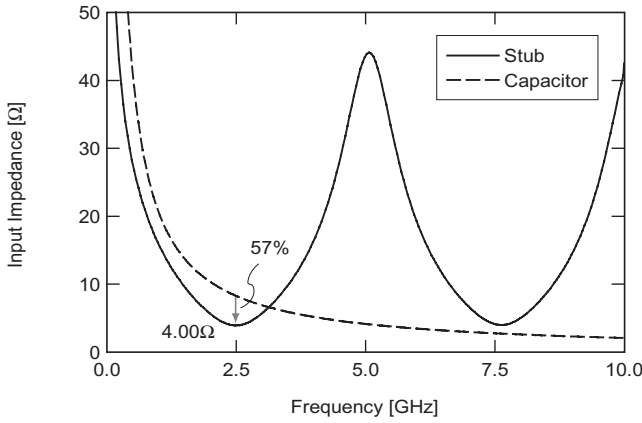


Figure 2.7: Frequency dependence of the input impedance of the stub designed for 2.5GHz and the capacitor.

の比の周波数依存性を示す。マーカーは数値解析結果を示し、直線は解析式の結果を示している。解析式が数値解析結果と一致していることから、解析式が妥当であることが分かる。ここで、図 2.5 の f_C における段差は、式 (2.14) における容量モデルの非連続性が原因である。点線は $f < f_S$ の範囲でも $Z_{stub} = Z_{shf}$ とした場合を示しており、式 (2.23) が成り立っていることが分かる。

式 (2.10), (2.13), (2.19), (2.21) から導かれるように、スタブ入力インピーダンスの傾きは $f_S \leq f \leq f_R$, $f_R < f$ において $S_{stub} = -2, -1.5$ であり、容量インピーダンスの傾きは $S_{cap} = -1$ である。また、図 2.6 において、 $|Z_{stub}/Z_{cap}|$ の傾きである S_r は $f \leq f_R$, $f_R < f$ において $-1, -0.5$ である。これらの結果から、周波数が高くなるにつれ、容量に比べてスタブの方が、より効果的に働くことが分かる。

$d = 5\mu\text{m}$, $t = 1\mu\text{m}$, $A=1\text{mm}^2$, $\epsilon_r=3.9$, $\rho = 1.673 \times 10^{-8}\Omega\cdot\text{m}$ において、2.5GHz に調整した場合のスタブパラメータは $w=66\mu\text{m}$, $l=15.181\text{mm}$, $L=83.9\text{nH/m}$, $C=517\text{pF/m}$, $R=532\Omega/\text{m}$ であり、容量は $C_{total}=6.91\text{pF}$ となる。

この構造を持つスタブの入力インピーダンスの周波数特性を図 2.7 に示す。狙った周波数 (2.5GHz) において、スタブの入力インピーダンスは容量のインピーダンスよりも小さいことが分かる。

$|Z_{stub}/Z_{cap}| < 1$ の時にスタブがデカップリング容量よりもノイズを低減することを確かめるために、本構造のスタブを用いた回路シミュレーション結果を次節で示す。

2.4 回路シミュレーション

2.4.1 内部回路

テスト用の回路として、図 2.8 に示すような、7 段の疑似ランダムパターン発生回路にインバータ列が接続された回路を用いた。この回路は広く使われている同期回路を模擬している。疑似ランダムパターンとインバータ列は、LSI のランダムスイッチングと組み合わせ回路を模擬している。インバータ列の長さは 2 から 12 まで分布させており、これは DFF 間のパス長の分布を模擬している。

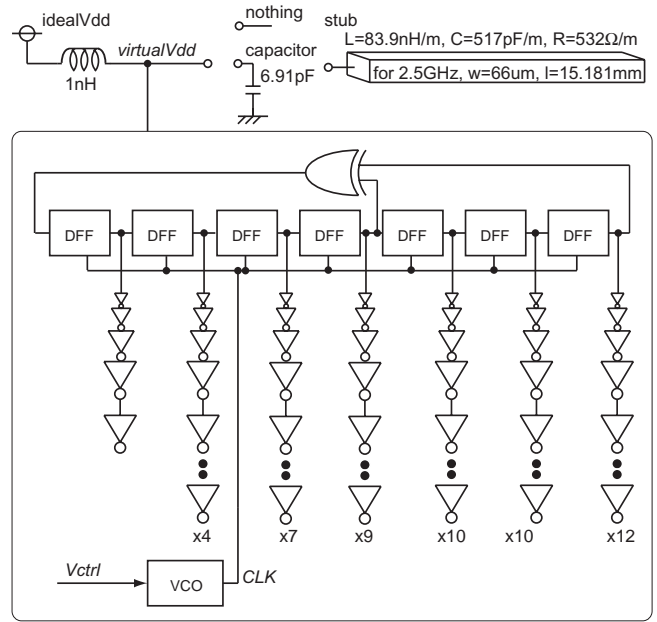


Figure 2.8: Internal circuit. A PRBS generator and inverter chains, with three kinds of power line structures.

今回、3 種類の電源線の構造をシミュレーションした。何も付加しない場合、デカップリング容量を用いた場合、スタブを用いた場合である。図 2.8 に示すように、パッケージのリード線とボンディングワイヤのインダクタンスは 1nH と仮定した。なお、スタブのパラメータは前節で用いたものと同じ値を用いた。

2.4.2 シミュレーション結果

HSPICE を用いて、1.8V、2.5GHz 動作のシミュレーションを行い、3 種類の電源系における、図 2.8 の $virtualVdd$ ノードの波形を図 2.9(a) に示す。また、図 2.9(b) に、対応するスペクトル波形を示す。ここでは、理想電圧である 1.8V からの標準偏差 σ を用いて、電源ノイズの大きさをとする。

$$\sigma = \sqrt{\frac{1}{T} \int_0^{T+\tau_0} (V_{virtualVdd} - V_{idealVdd})^2 dt} \quad (2.37)$$

であり、7 段の疑似ランダム回路の繰り返し周期である $2^7 - 1 = 127$ クロックを T として用いた。 σ の値は無付加、容量、スタブの場合で、0.127, 0.097, 0.080 であり、これは、スタブが無付加に比べて 37%、デカップリング容量に比べて 18% 効果的にノイズを低減していることを示す。また、図 2.9(b) に示すように、2.5GHz のノイズ成分に関しては、スタブは無付加に比べて 46%、デカップリング容量に比べて 24% 効果的に低減している。

2.5 考察

2.5.1 周波数成分

もし、毎クロック周期で全てのゲートが同一のタイミングでスイッチすれば、電流の周波数は nf_0 成分のみを持

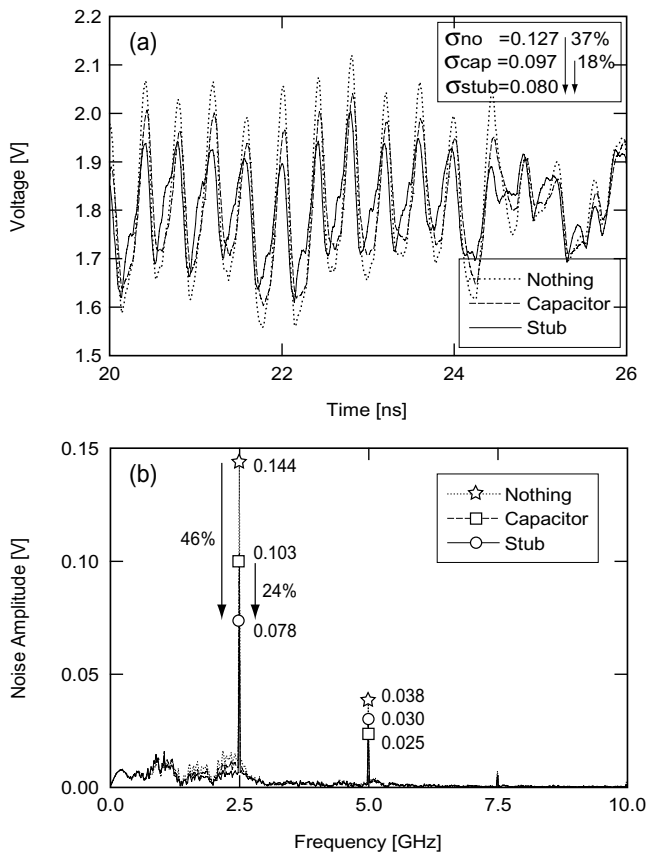


Figure 2.9: (a) Simulated waveforms of the *virtualVdd* node. (b) Corresponding spectrum.

つ。しかし、実際のスイッチングはランダムであり、デカップリング容量の方が安定して低減できる非 nf_0 成分を持つ。さらに、例えば図 2.7 の 7.5GHz の場合のように、高次の周波数では nf_0 成分であってもデカップリング容量の方が効果的であることがある。

今回の例では、電源ノイズの主成分が f_0 であったために、デカップリング容量よりもスタブの方が効果的にノイズを低減できた。しかしながら、非 nf_0 成分が多い場合や高次の周波数成分が大きい場合は、デカップリング容量の方がノイズ低減効果が大きくなる場合があることに注意すべきである。

2.5.2 より高周波の場合

スタブ長は $l \propto f^{-1}$ であり、スタブ幅は $w \propto f$ 、表皮厚 $\delta < f^{-0.5}$ であることから、スタブの入力インピーダンスは、表皮効果が現れる前後で $Z_{stub} = Rl/2 \propto f^{-2}, f^{-1.5}$ となる。一方、容量のインピーダンスは $Z_{cap} \propto f^{-1}$ であり、それらの比は式 (2.24) のように $|Z_{stub}/Z_{cap}| \propto f^{-1}$ or $f^{-0.5}$ である。したがって、図 2.5, 2.6 で示されるように、動作周波数の向上につれてスタブはデカップリング容量よりも有効になる。

縦方向の容量だけでなく、くし型容量 [13] のように配線の高さを利用した横方向の容量を考慮することにより、単位面積当たりの容量を増加させることができる。しかしながら、 $Z_{cap} \propto f^{-1}$ の特性は変わらないことから、高

速化によるスタブの優位性は変わらない。

2.6 まとめ

電源ノイズ低減の観点からスタブとデカップリング容量を比較した。1/4 波長のスタブは帯域除去フィルタとして動作し、LSI の電源線に接続することでその周波数のノイズを低減する。同一面積で比較した場合の、デカップリング容量よりもスタブの方が有効になる境界の周波数を明らかにした。

回路シミュレーションによると、1.8V, 2.5GHz 動作のテスト回路において、 $d = 5\mu\text{m}$, $t = 1\mu\text{m}$, $A = 1\text{mm}^2$, $\epsilon_r = 3.9$, $\rho = 1.673 \times 10^{-8}\Omega\cdot\text{m}$ の場合は、スタブの方が無付加よりも 37%、デカップリング容量よりも 18% 有効に電源ノイズを低減することができた。

将来、LSI が高速化されるにつれ、スタブはデカップリング容量よりも有効に働き、オンチップ集積化が可能となることを、理論的に示した。

第3章

スタブを用いた電源ノイズ低減に関する測定

本章の要旨

本章では、スタブを用いた電源ノイズ低減に関する効果を実験的に検証する。1/4 波長のスタブは帯域除去フィルタとして働き、LSI の電源線に接続することで、その周波数のノイズを低減する。

オンチップのスタブは、その抵抗が大きいこととスタブが曲がっていることが原因で、ノイズの低減効果は観測できなかったが、オンボード・オフチップのスタブでは、理論的に予測されたように明らかなノイズ低減効果が観測された。測定結果によると、1.25GHz 動作の LSI において、PCB ボードの電源領域にスタブパターンを形成した場合、ノイズの動作周波数成分の 87% が除去され、全ノイズとしては 39% が除去された。

これらの結果は、LSI の動作周波数が向上してスタブ長が短くなった場合に、スタブのオンチップ集積化が有効であることを示しており、その場合、パッケージやボンディングワイヤの影響をも除去することができる。

3.1 はじめに

前章において、スタブがデカップリング容量よりも電源ノイズ・ di/dt の低減に有効であることを理論的に示した。本章では、測定によってその効果を検証する。

電源ノイズ低減に関して、オンチップスタブでの測定結果を 3.2 節に示す。3.3 節ではオンボードスタブを用いた測定系と測定結果を示す。3.4 節で考察を行い、3.5 節で本章の結論を述べる。

3.2 オンチップスタブ

3.2.1 スタブの設計

今回は $0.18\mu\text{m}$ 、5 層メタルの標準 CMOS プロセスを用い、ターゲットとする動作周波数は 2.5GHz とする。今回設計したスタブの構造を図 3.1 に示す。電源線の抵抗を下げるために 4 層と 5 層メタルを接続して用いる。1 層メタルをグランド面として用いる。スタブ幅は $40\mu\text{m}$ とした。2 次元のソルバである Raphael[10] を用いて、単位長さのインダクタンスと容量を抽出し、 $L=102\text{nH/m}$ 、 $C=407\text{pF/m}$ という結果を得た。ファブから提供されたシート抵抗値から $R=500\Omega/\text{m}$ と計算された。図 2.9(b) に示したように、動作周波数である 2.5GHz だけでなく、その 2 次高調波

である 5GHz にもノイズピークを持つため、5GHz に合わせたスタブも設計した。2.5GHz 用、5GHz 用のスタブ長はそれぞれ 15.323mm 、 7.662mm である。図 3.2 に示すように、同一面積で形成されたデカップリング容量も設計し、5 層と 4 層メタルを接続して電源面に、1 層メタルをグランド面に使用した。

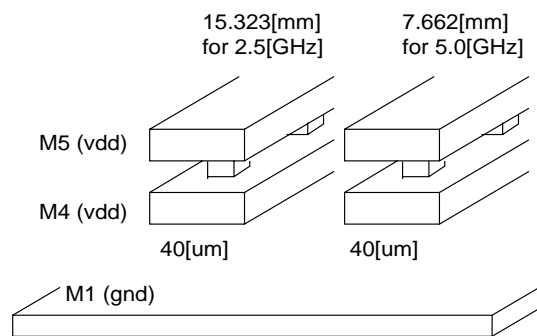


Figure 3.1: Stub structure. $R=500\Omega/\text{m}$, $L=102\text{nH/m}$, $C=407\text{pF/m}$, $G=0$.

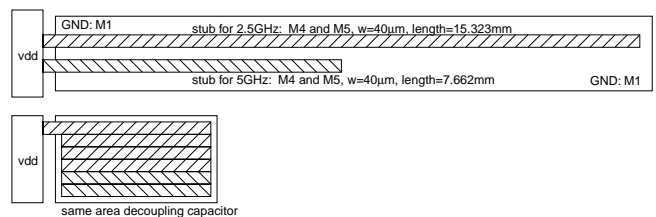


Figure 3.2: Designed stub and the same-area decoupling capacitor structures.

3.2.2 テスト回路

テスト回路として、図 3.3 に示すような 7 段の疑似ランダムパターン発生回路とインバータ列を用いた。この回路は広く使用されている同期回路を模擬したものである。疑似ランダムパターンは LSI のランダムスイッチングを模擬し、インバータ列は組み合わせ回路を模擬している。インバータ列の長さは 2 から 12 まで分布させ、同期回路のパス長の分布を模擬している。

テスト回路は VCO (Voltage Controlled Oscillator) を内

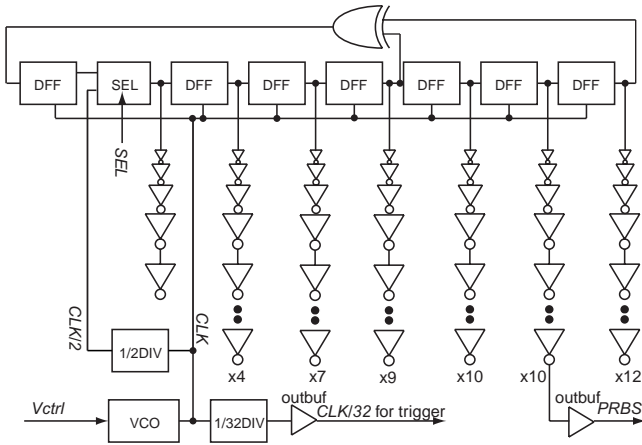


Figure 3.3: Internal circuit. A PRBS generator and inverter chains. The selector selects the repeat mode or the random mode.

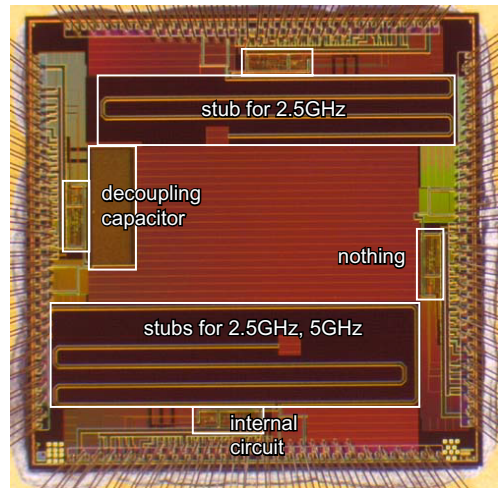


Figure 3.5: Chip Photograph. 0.18 μ m 5ML CMOS, 5.9mm \times 5.9mm.

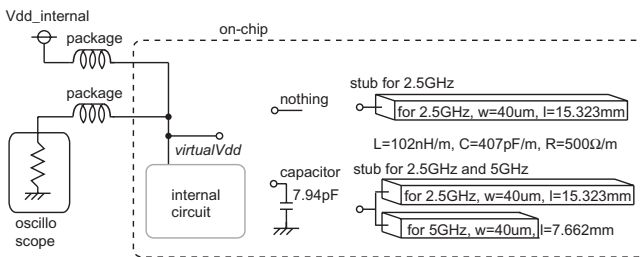


Figure 3.4: Four types of power line structures.

蔵しており、外部からの DC 電圧 (V_{ctrl}) を調整することで動作周波数を容易に変化させることができる。シフトレジスタへの入力を、XOR ゲートからフィードバックを用いるランダムモードと、 $CLK/2$ 信号を用いるリピーモードとを、セレクタ回路によって選択することができる。ここで、スタブのノイズ低減にとって、リピーモードは最善ケース、ランダムモードは最悪ケースであると言える。

図 3.4 に示すように、2.5GHz と 5GHz のスタブを両方用いる場合、2.5GHz スタブのみを用いる場合、デカップリング容量を用いる場合、何も付けない場合、の 4 種類の電源線構造を設計した。

3.2.3 測定系

テストチップは 0.18 μ m、5 層メタルの標準 CMOS プロセスを用いて製造された。チップサイズは 5.9mm \times 5.9mm である。チップ写真を図 3.5 に示す。

製造したチップは PGA (Pin Grid Array) のセラミックパッケージにアセンブリされ、図 3.6 に示すように、銅板上にマウントして測定した。DC 電圧である $V_{dd_internal}$ 、 V_{dd_io} 、 V_{ctrl} 、 SEL 信号は、ボード上に“島”を形成し、リード線で電圧を供給している。島には数種類のチップ容量を接続することで安定した電圧値を保っている。チップ表面をシールドテープで覆うことで、外部からの電磁界を遮断している。高速出力信号として、オシロスコープ

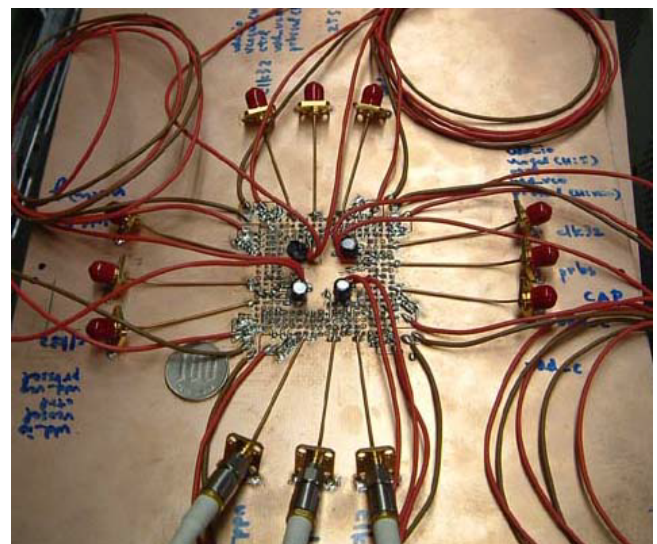


Figure 3.6: Measurement Setups.

のトリガとして用いる $CLK/32$ と、チップ動作確認用の $PRBS$ 、電源ノイズである $virtualVdd$ があり、これらのピンには 50 Ω の伝送線を直接接続して反射を抑えることで、高速測定を可能にしている。

3.2.4 測定結果

2.5GHz 用と 5GHz 用の両方のスタブを用いたもの、2.5GHz 用スタブを用いたもの、デカップリング容量を用いたもの、何も用いないもの、4 種類の電源線構造について測定した。ランダムモードではサンプリングオシロスコープでの波形観測ができないため、リピーモードで測定した。

電源ノイズの動作周波数成分の、動作周波数依存性を図 3.7 に示す。動作周波数が高くなるにつれてノイズは小さくなっている。これは、ウェル-基板間の空乏層容量などの内部容量とパッケージなどの寄生インダクタンスとの共振周波数が動作周波数よりも低く、AC 電流が内部容

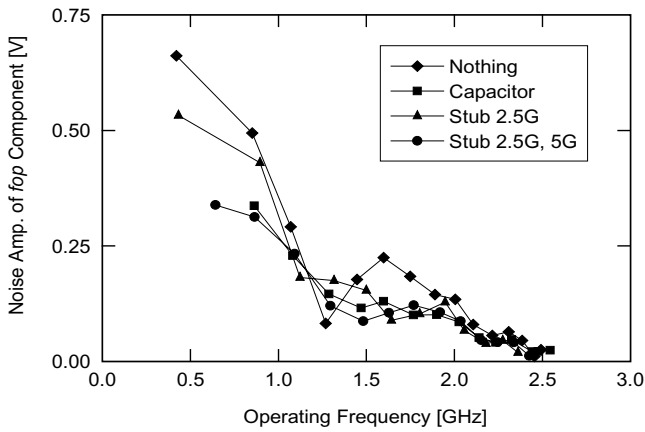


Figure 3.7: Operating frequency vs. operating frequency component of the *virtualVdd* noise with the nothing, capacitor and stub case.

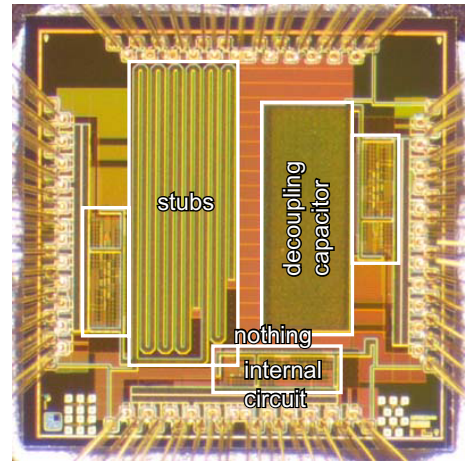


Figure 3.8: Chip photograph. 0.18 μ m 5ML CMOS, 2.8mm \times 2.8mm.

量から供給されていることが原因である。

4種類の電源系において、測定された電源ノイズに大きな違いは見られなかった。それらの原因として、以下のものが挙げられる。

- スタブがチップ内部で曲がっており、そこで反射が起きているため、スタブ長が $\lambda/4$ からずれている。
- スタブの実際の抵抗値が見積もり値よりも大きい。ファブから提供されたシート抵抗値はDCでの測定値であり、表皮効果を考慮した場合、大きな抵抗値となる。
- パッケージのインピーダンスが大きくて内部容量が働き、ノイズがパッケージの外まで出てこない。

ここで、現状の動作周波数ではオンチップスタブでの効果を測定するのが難しいので、次節ではオンボードのスタブに関して検討する。

3.3 オンボードスタブ

3.3.1 測定系

テスト用内部回路として、前節と同じく図 3.3 の回路を用いた。寄生インピーダンスの低い小さいパッケージを使用するために、図 3.8 に示すように小さいチップ (2.8mm \times 2.8mm) を用いる。3種類の電源系を持つテスト回路を設計したが、以下のオンボードスタブ測定では全て“nothing”タイプを用いる。

テスト回路は QFP (Quad Flat Package) セラミックパッケージにアセンブリされ、図 3.9 に示すように銅板上にマウントして測定する。対応する回路図を図 3.10 に示す。*Vdd*, *Vddio*, *Vctrl*, *SEL* の DC バイアスはリード線を用いてボード上の“島”に供給される。島の電圧は数種類のチップ容量によって安定化されている。内部回路用電源である *Vddn* の島は *Vdd* の島とワイヤで接続され、チップ容量は接続されていない。ワイヤの寄生インダクタンスによって *Vddn* には電源ノイズが発生する。

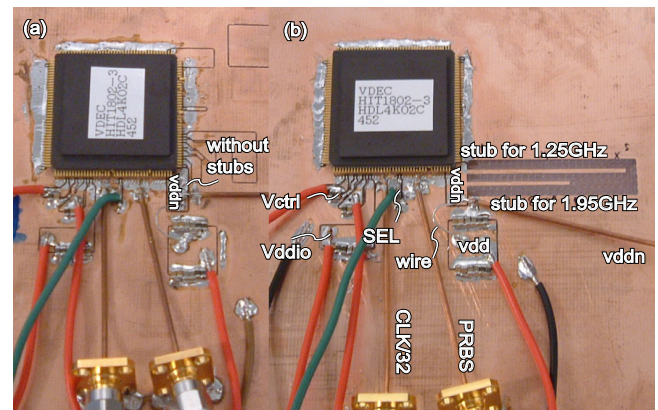


Figure 3.9: Photograph of the chip mount, (a) without stubs, and (b) with stubs.

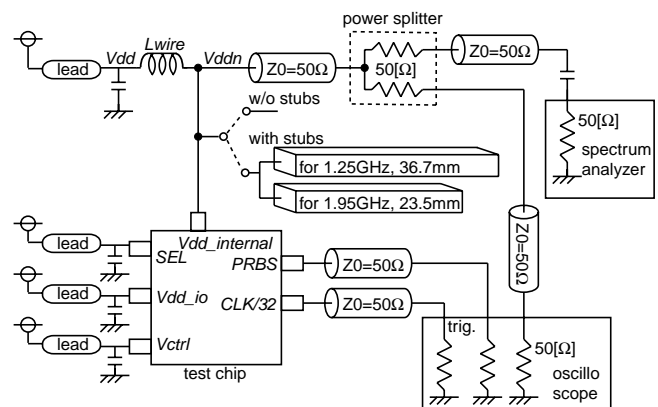


Figure 3.10: Schematic of the measurement setup.

2種類の *Vddn* 形状について比較した。図 3.9(a) のスタブ無しは 4.7mm \times 10.0mm の長方形であり、図 3.9(b) のスタブ有りは、スタブ無しの長方形に 1.25GHz, 1.95GHz のスタブを加えたものである。*Vddn* に発生するノイズは 50 Ω の伝送線路を直接接続することで、オシロスコープとスペクトラムアナライザにて観測する。また、*CLK/32* と *PRBS* 出力ピンにも 50 Ω 伝送線路を直接接続してオシロスコープへと入力している。

3.3.2 スタブの設計

今回の実験では、スタブは 1.25GHz と 1.95GHz に調整した。PCB ボードは 1mm の FR4 ($\epsilon_r=4.8$) が 18 μm 厚の銅フィルムで挟まれた構造をしている。スタブは、幅 1mm のマイクロストリップ構造とし、その等価比誘電率は

$$\epsilon_{\text{reff}} = \frac{\epsilon_r + 1}{2} + \frac{\epsilon_r - 1}{2} \left(1 + \frac{12h}{w} \right) = 3.427 \quad (3.1)$$

となる [14]。しかし、スタブパターンは、銅フィルムだけでなく誘電体も深さ数十ミクロン程度削られて形成されるため、等価比誘電率はそれよりも低くなる。また、端面の影響もある。第 2 章では、 L, C はスタブに沿って一定値を取り、理想的開放終端であると考えたが、実際の L, C は端面周辺では異なる値を取る。また、端面は完全に開放終端ではない。これらのことを考慮すると、式 (2.10) に代入すべき等価比誘電率は 2.66 となり、したがって、1.25GHz と 1.95GHz 用のスタブ長は 36.7mm と 23.5mm になった。

3.3.3 Sパラメータ

ネットワークアナライザを用いた V_{ddn} の透過特性 (S_{21}) の測定結果を図 3.11 に示す。1.25GHz, 1.95GHz 付近の信号をスタブが吸収していることが分かる。

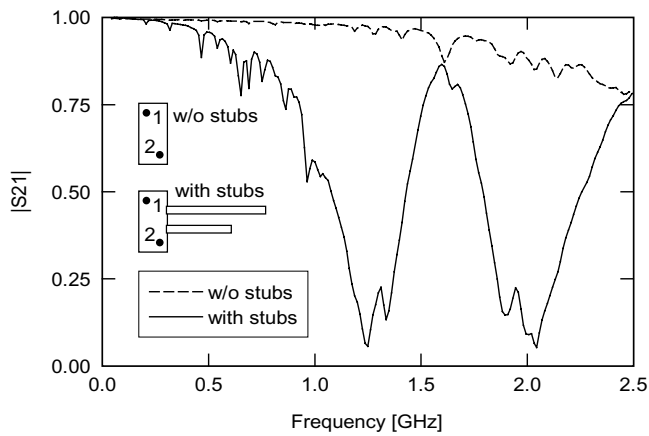


Figure 3.11: $|S_{21}|$ of the with/without stubs case.

3.3.4 ノイズスペクトル

ランダムモード 1.25GHz 動作時の電源ノイズスペクトルの測定結果を図 3.12 に示す。ノイズの主成分は動作周波数成分であり、疑似ランダムパターンのためにスペクトルが広がっている。そして、スタブによって、1.25GHz 周辺のノイズが抑えられていることが分かる。

また、ランダムモードでの電源ノイズ波形を図 3.13 に示す。スタブによってノイズが抑えられていることが分かる。しかし、図 3.12 に示されるように、ノイズの低周波成分はスタブでは吸収できないため、電源ノイズを完全に抑えることはできない。

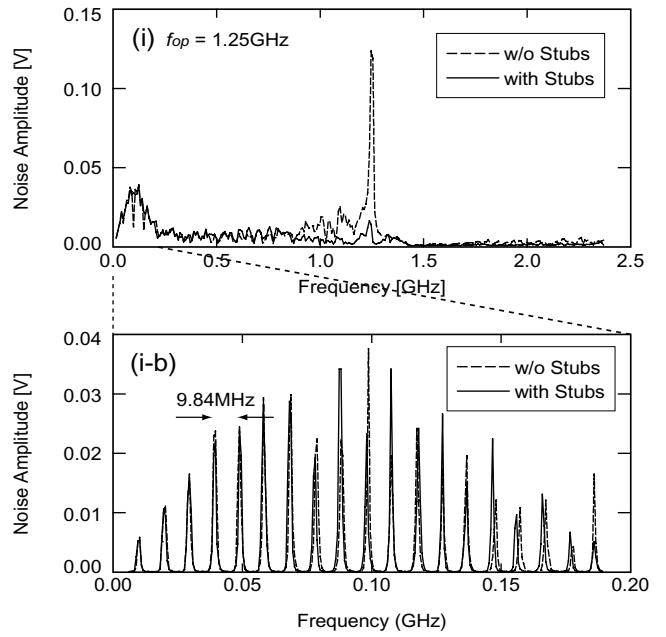


Figure 3.12: Measured spectrum of the random mode at 1.25GHz operation of the with/without stubs cases. (i-b) The spectrum of the lower frequency.

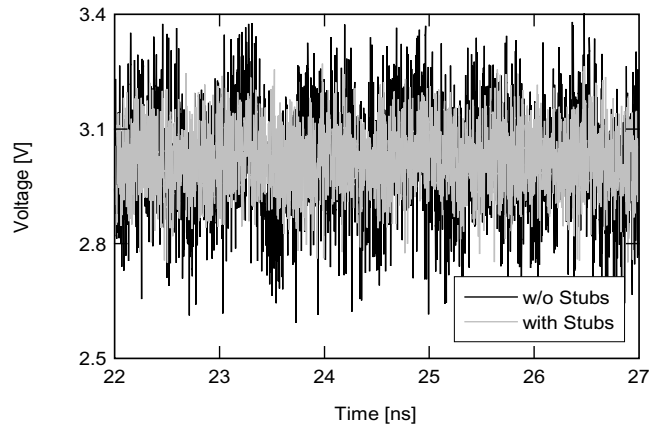


Figure 3.13: Measured power supply noise waveform of the random mode at 1.25GHz operation of the with/without stubs cases.

3.3.5 電源ノイズの動作周波数依存性

ランダムモードにおけるノイズスペクトルの動作周波数依存性を図 3.14 に示す。(i) や (iv) のように、動作周波数とスタブの周波数が一致した場合には、スタブの有無によってノイズスペクトルは大きく異なる。一方、そうでない場合には、スタブの有無によるノイズスペクトルの違いは小さい。ノイズの動作周波数成分の動作周波数依存性を図 3.15(a) に、全ノイズ値の動作周波数依存性を図 3.15(b) に、(i)-(v) の周波数と共に示す。ここで、全ノイズ値は平均電圧 V_{av} からの標準偏差 σ として定義され、

$$V_{\text{av}} = \frac{1}{N} \sum_{i=1}^N V_i, \quad \sigma = \sqrt{\frac{1}{N-1} \sum_{i=1}^N (V_i - V_{\text{av}})^2} \quad (3.2)$$

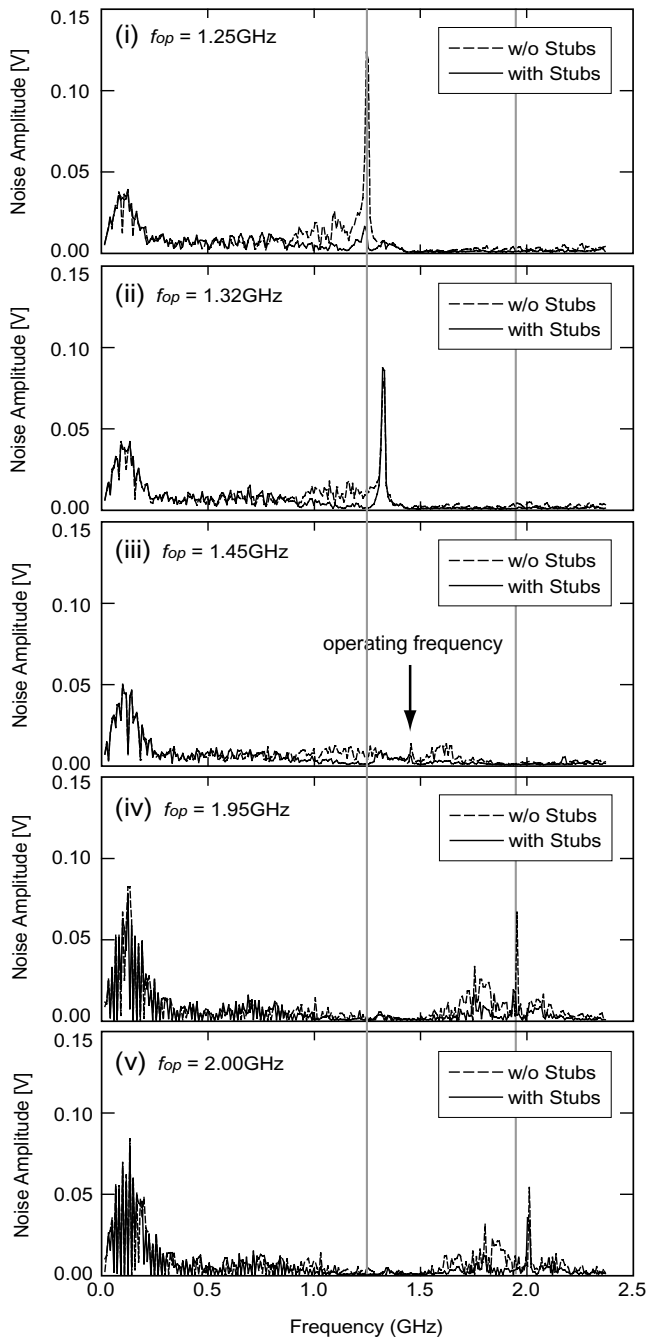


Figure 3.14: Operating frequency dependence of the random mode spectrum, with/without the on-board stubs.

となる。ここで、 N はサンプリング点数であり、図 3.13 に示すように、本測定では 4096 であり、サンプリングの時間間隔は一定である。

図 3.15(a) から、(i), (iv) の場合において、スタブによって 1.25GHz, 1.95GHz のノイズの 87%, 72% が低減されていることが分かる。また、図 3.15(b) に示されるように、全ノイズ値は 1.25GHz では 39%、1.95GHz では 19% がスタブによって低減されている。

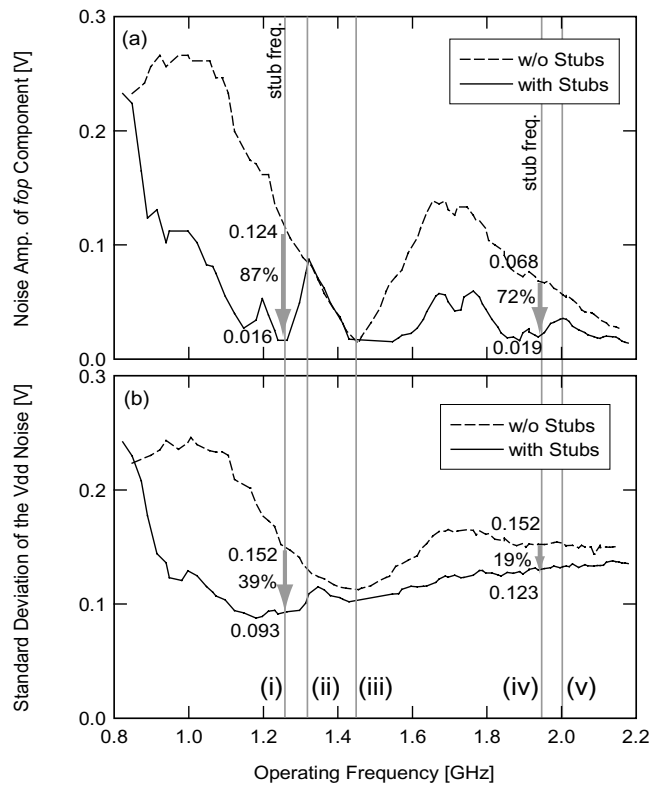


Figure 3.15: Operating frequency dependence of the power supply noise in the random mode, with/without the on-board stubs. (a) Noise amplitude of the operating frequency component. (b) Total noise amplitude.

3.3.6 低周波成分について

図 3.12(i-b) に示されるように、電源ノイズスペクトルは低周波領域にある程度の分布を持っている。7 段の疑似ランダムパターンは $2^7 - 1 = 127$ クロック周期が 1 サイクルであり、 $1.25\text{GHz}/127 = 9.84\text{MHz}$ の基本周波数を持つ。図 3.12(i-b) に示されるように、低周波領域のスペクトルはこの基本周波数の高調波であり、疑似ランダムパターンの周期が原因で発生していることが分かる。

3.3.7 スタブ中の電流分布

ノイズの周波数とスタブの周波数が一致した場合、スタブ中の電流・電圧分布は

$$|I(z)| = A \cos(\beta z), \quad |V(z)| = -jZ_0 A \sin(\beta z) \quad (3.3)$$

となる。ここで、 A は係数であり、 β は位相係数、 z はスタブの座標である。

スタブ中の電流分布を、図 3.16 に示すように磁界プローブ [15] を用いて測定する。磁界プローブは、電流によって発生する磁界から誘導起電力を発生させ、その電圧をスペクトラムアナライザによって観測する。それぞれのスタブの 10 点で測定し、動作周波数は 1.25GHz/1.95GHz のスタブ測定時にはそれぞれ 1.25GHz/1.95GHz とした。測定結果と、理論曲線を図 3.17 に示す。磁界プローブは、電流と誘導起電力との間に周波数依存性があるため、図

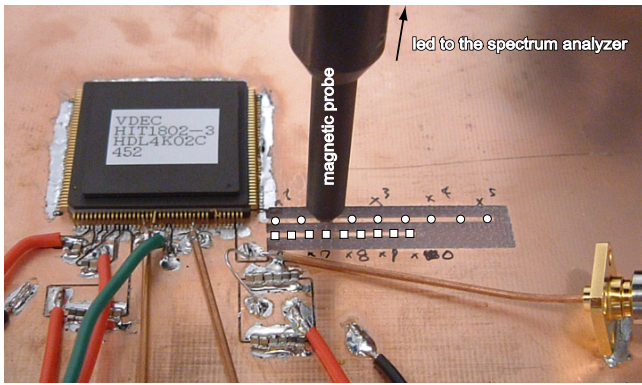


Figure 3.16: Current measurement using a magnetic probe. The circles and the squares indicate the measured points.

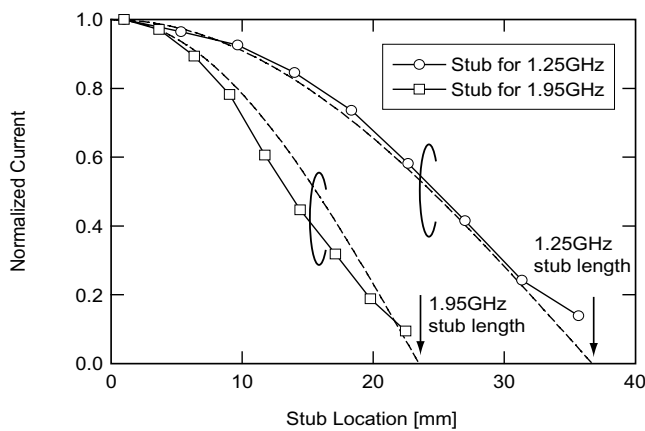


Figure 3.17: Normalized current distribution along the stubs. The markers are measurement results, and the dashed lines are ideal curves given by eqn(3.3).

3.17 ではそれぞれのスタブに関して電流値を正規化して示している。理論曲線と測定値は良く一致しており、スタブがノイズを吸収していることを裏付けている。

3.3.8 動作周波数依存性

前節で述べたように、スタブはその周波数のノイズを低減することができる。ここで、図 3.14(iii) では、動作周波数がスタブの周波数と一致していないにもかかわらずノイズは小さい。これはパッケージの周波数特性に起因している。パッケージ内部で LSI のスイッチングが起こるが、この周波数におけるパッケージのインピーダンスが大きいためにノイズが外に伝搬せず、したがって、ノイズが観測されない。

3.4 考察

3.4.1 スタブのオンチップ集積化への可能性

式 (2.10) で示されるように、スタブ長は動作周波数に反比例し、また、オンチップ集積化した場合、酸化膜内に存在することになり、その比誘電率は 3.9 とすることが

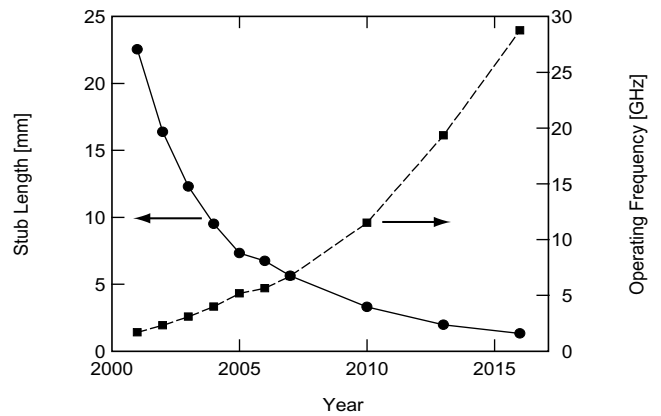


Figure 3.18: ITRS roadmap of MPU clock frequency, and corresponding stub length.

できる。ITRS ロードマップの MPU クロック周波数予測 [1] と、それに応じたスタブ長を図 3.18 に示す。2007 年にはスタブ長は 5mm 程度になると予想され、オンチップ集積が可能になる。

3.5 まとめ

本章では、スタブによって電源ノイズを低減することができることを実験的に示した。1/4 波長のスタブは帯域除去フィルタとして動作し、LSI の電源線に接続することで電源ノイズを低減することができる。現状の周波数ではオンチップスタブはノイズ低減の効果を観測することはできなかったが、オンボードのスタブにおいて、前章で理論的に予測されたように、明らかな電源ノイズ低減が観測された。

今回の測定では、スタブパターンをボードの電源線に形成した場合に、1.25GHz 動作のテスト回路において、ノイズの動作周波数成分の 87%、全ノイズ値の 39% を低減することができた。

その結果は、今後 LSI の動作周波数が向上した場合、パッケージやボンディングワイヤの寄生インピーダンスを除去可能なスタブのオンチップ集積化が可能であることを示している。

第4章

オンチップ di/dt 測定回路

本章の要旨

本章ではオンチップ di/dt 測定回路について述べる。本 di/dt 測定回路は電源線とその下層に配置されたスパイラルインダクタ、増幅器から構成される。相互インダクタンスによって di/dt に比例した誘導起電力が発生し、それを増幅器で増幅して外に出力する。 di/dt 測定回路出力と、電源線に直列挿入された抵抗の両端の電圧差から計算した値とが良く一致する測定結果が得られた。また、デカップリング容量による di/dt の低減の効果も観測された。

本 di/dt 測定回路はオンチップ集積が可能であり、かつ、実時間で di/dt を出力するため、フィードバック式 di/dt 制御回路へ応用できる。 di/dt がある基準値を超えると内部回路の一部をオフにし、ある基準値を下回ると内部回路の全てをオンにするような di/dt 制御回路を設計し、良好なシミュレーション波形を得た。

4.1 はじめに

半導体集積回路の製造技術の発展とともに、電源電圧の低下と消費電流の増加が同時に進行し、電源電圧に関するノイズマージンの減少を招いている。すなわち、電源ノイズがLSIにおける回路動作の信頼性を低下させている。

電源電圧変動は、抵抗成分と電流による電圧降下 (IRドロップ) だけでなく、インダクタンス成分と電流変化 (di/dt) によっても引き起こされ、回路の高速化に伴ってこの di/dt ノイズの影響が深刻化している。また、近年では電磁放射ノイズ (Electro-Magnetic Interference: EMI ノイズ) が他のLSIに悪影響を及ぼすことを懸念して、その基準が強化されており [2]、したがって、シグナルインテグリティの向上とEMIノイズ解析のために、電流変化 (di/dt) 測定方法の確立が必要とされている。

これまで電源電圧変動を測定する回路は様々提案されているが [16]、電流を測定する回路はほとんど提案されていない。そのうちの1つは電源線に直列抵抗を挿入し、その電圧をEB (Electron Beam) プローブで測定してその差を計算することで電流を求める方法 [18] であるが、この方法は電流や di/dt を求めるために数値計算が必要となる。磁界プローブを用いて電流によって発生する磁界のスペクトルを測定する方法もあるが、位相情報が欠るために、元の電流、 di/dt 波形を求めることができない。

本章では、オンチップ di/dt 測定回路について述べる。

本 di/dt 測定回路はオンチップ集積可能、かつ実時間で di/dt を測定可能であるため、EMI解析や電源ノイズ解析用の di/dt 測定だけでなく、 di/dt 制御回路などへの応用も可能である。

4.2節では di/dt 測定の基本原理について述べる。4.3節で必要となる解析式を導き、4.4節では測定結果を示す。4.5節にて考察を行う。改良版の di/dt 測定回路について4.6節で述べ、4.7節ではフィードバック式の di/dt 制御回路について述べる。4.8節で本章をまとめる。

4.2 回路設計

4.2.1 基本原理

本 di/dt 測定回路の基本原理を図4.1に示す。電源電流は電源線のインダクタンス L_1 を通じて内部回路に流れ込む。 L_1 と結合係数 K で結合されたインダクタンス L_2 の両端には di/dt に比例した誘導起電力が発生する。増幅器で誘導起電力を増幅し、高速測定可能な50オーム系の伝送線路に出力し、それをオシロスコープで観測する。

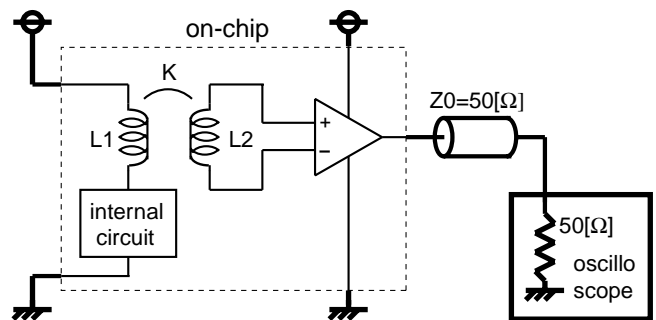


Figure 4.1: Block diagram of the di/dt detector. The bold lines represent outside devices.

4.2.2 相互インダクタ

インダクタンス L_1 は、電源線に直列に挿入されるので小さい値を持つことが要求される。したがって、 L_2 の両端に十分な起電力を発生させるためには大きな結合係数 K と大きなインダクタンス L_2 が必要となる。

今回は $0.35\mu\text{m}$ 、3層メタル、2層ポリのプロセスを用いている。

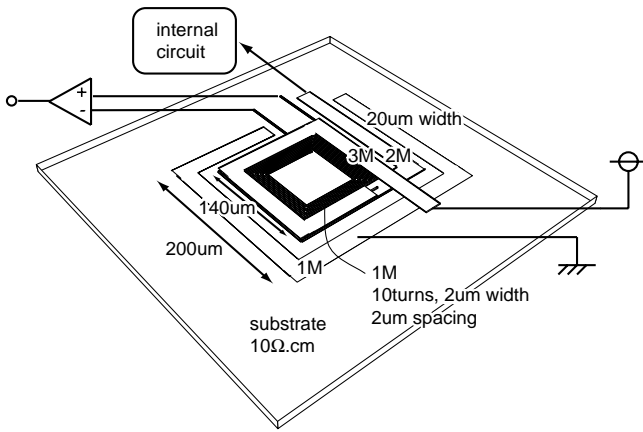


Figure 4.2: Mutual inductor structure.

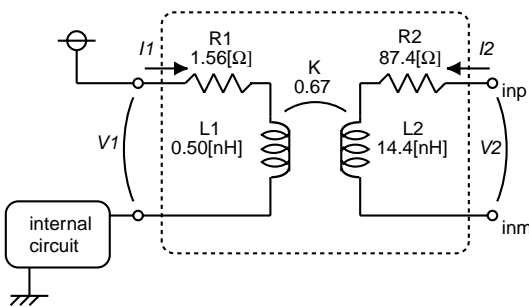


Figure 4.3: Equivalent circuit of the small mutual inductor.

相互インダクタンスは電源線とその下に配置されたスパイラルインダクタによって構成される。図 4.2 に示すように、1 次側の電源線 L_1 は、最上層の ML3 を用いて $20\mu\text{m}$ 幅・1 巻きで構成され、2 次側のスパイラルインダクタ L_2 は、ML1 を用いて $2\mu\text{m}$ 幅・ $2\mu\text{m}$ スペース・10 巻きで構成される。外周は $140\mu\text{m}$ である。

この構造を FastHenry[11] という 3 次元解析ソフトを用いて等価回路を求めたところ、図 4.3 のようになった。

この構造 (small) の他に、直径 $200\mu\text{m}$ 、24 巻き (large) で構成されたインダクタも設計した。

4.2.3 増幅器と出力バッファ

出力の di/dt 信号は高速アナログ信号であり、その増幅と出力において線形性の確保と反射を抑えることが重要となる。増幅器の回路図を図 4.4 に示す。電流源のないカレントミラー型の増幅器を用いた。抵抗 R_b によって入力電圧を $\text{half}V_{\text{dd}}$ に DC バイアスすることで最大ゲインと線形性を確保している。この抵抗値 R_b は十分大きく、測定周波数帯域の AC 信号に対してはオープンとして考えることができる。

増幅器のフィードバック方式は、高周波応答ができなくなることで、終端抵抗である 50Ω が小さすぎて線形性と増幅率が保てなくなることが原因で、採用しなかった。

出力ピンは 50Ω 系の伝送線路に直接接続される。オシロスコープの入力端子にはブロッキングキャパシタが挿入されており、 50Ω 抵抗を通じてグランド接続されるこ

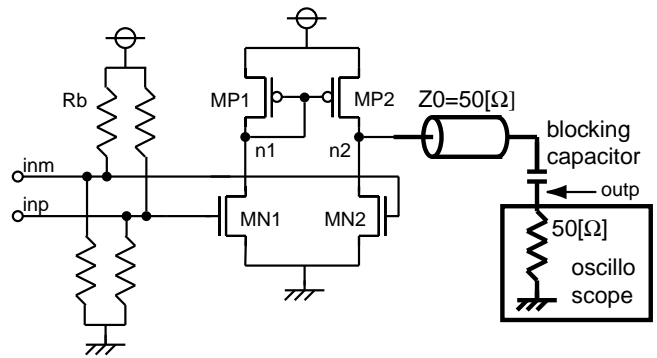


Figure 4.4: Amplifier/Output buffer, and measurement setup.

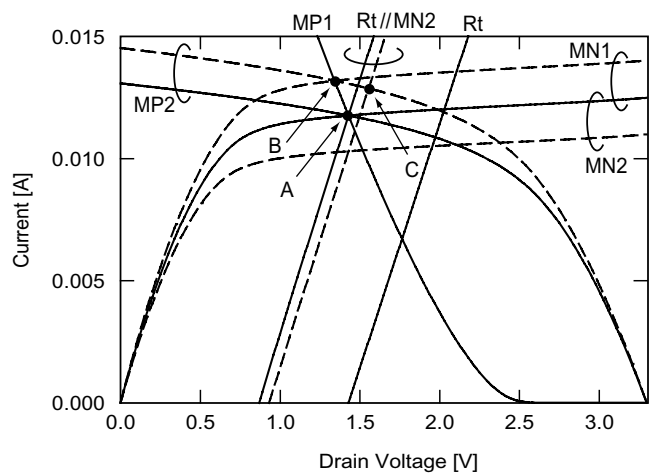


Figure 4.5: I-V characteristics and the bias point.

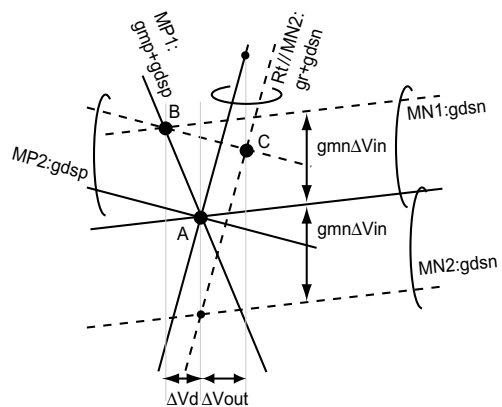


Figure 4.6: Bias point change.

とによる n_2 ノードのバイアス電圧変化を防いでいる。電流値は有限値であるので di/dt の平均値はゼロであり、ブロッキングキャパシタは di/dt の値には影響を与えない。

増幅器のバイアス点は、トランジスタ MN1, MN2, MP1, MP2 と終端抵抗 R_t によって決まる。MN1, MN2 のゲート電圧が $\text{half}V_{\text{dd}}$ の時の I-V 特性のシミュレーション値を図 4.5 に示す。点線は MN1 が $\text{half}V_{\text{dd}}+0.1\text{V}$ 、MN2 が $\text{half}V_{\text{dd}}-0.1\text{V}$ の時のバイアス条件のずれを示している。ノード n_1 は A 点から B 点へと変わり、ノード n_2 は A 点から C 点へと変化する。図 4.6 に示すように、I-V 特性の

変化が線形であると仮定すると、B 点では

$$g_{mn}\Delta V_{in} - g_{dsn}\Delta V_d = (g_{mp} + g_{dsp})\Delta V_d \quad (4.1)$$

が成り立ち、C 点では

$$(g_r + g_{dsn})\Delta V_{out} - g_{mn}\Delta V_{in} = (g_{mp} + g_{dsp})\Delta V_d - g_{dsp}(\Delta V_d + \Delta V_{out}) \quad (4.2)$$

が成り立つ。ここで、 g_{mn} , g_{mp} はトランスコンダクタンス $\partial I_d / \partial V_g$ であり、 g_{dsn} , g_{dsp} はドレイン-ソーストランスコンダクタンス $\partial I_d / \partial V_{ds}$ を表す。したがって、増幅率 G は

$$G = \frac{\Delta V_{out}}{2\Delta V_{in}} = \frac{1}{2(g_{dsn} + g_{dsp} + g_r)} (g_{mn} + g_{mp} \frac{g_{mn}}{g_{mp} + g_{dsp} + g_{dsn}}) \quad (4.3)$$

と表される。終端抵抗がオープンの場合 ($R_t = \infty$ or $g_r = 0$) は、増幅率は大きくなり、バイアス点は容易に飽和領域の外に出るが、今回は終端抵抗が小さいため、バイアス点は飽和領域の内部で移動する。

HSPICE シミュレーションによると、増幅器の増幅率は 0.39 であり、負荷容量を考えない場合の遮断周波数は 2.2GHz である。線形性に関しては、出力電圧が $\pm 0.35V$ の範囲で線形とみなすことができる。オープンループゲインは 7.55 であり、同相除去比は 2.34 である。

4.2.4 ノイズ源としての内部回路

テスト用の内部回路として図 4.7 のような回路を用いた。 V_{ctrl} 電圧を変化させることで VCO を通じて動作周波数を変化させることができる。1/2 分周器でシフトレジスタの入力用に $CLK/2$ 信号を生成し、さらに 1/16 分周器でオシロスコープのトリガ用 $CLK/32$ 信号を生成する。各 DFF 出力はインバータ列に接続され、インバータ列がスイッチすることにより di/dt が発生する。インバータ列の長さは 2 から 12 まで分布しており、最長のインバータ列の遅延は 0.625ns である。 $allORhalf$ 信号によって、回路全体の活性化率を変化させることができる。

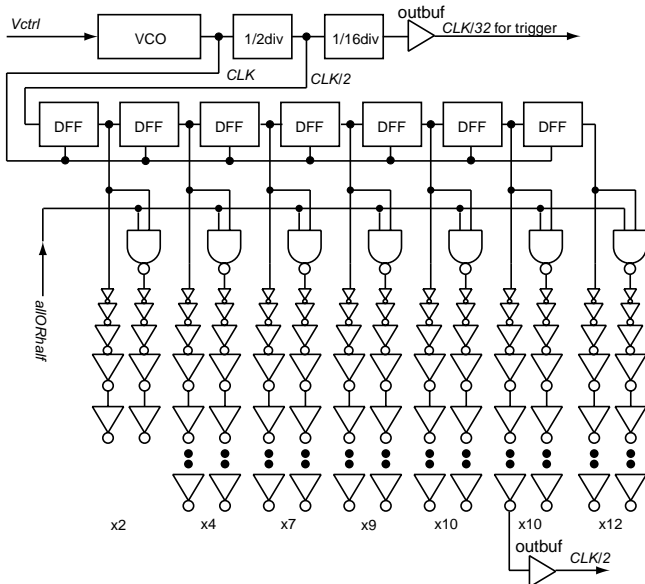


Figure 4.7: Internal circuit as a noise source.

4.2.5 電源系

di/dt 測定回路の確認用に電源線に直列にオンチップ抵抗 R_s を挿入した。抵抗の両端は出力ピンに接続され、それぞれの電圧値を測定してその差分から電流値を計算することができ、さらに数値微分することにより、 di/dt を計算することができる。この結果を di/dt 測定回路の出力と比較する。

図 4.8 に示すように、電流は $V_{dd}i$ から流れ出て、パッケージやボンディングワイヤのインピーダンス $Z_{package}$ 、直列抵抗 R_s 、インダクタ L_1 を通して内部回路へと流れ込む。比較用に 4 タイプの電源系を設計した。TypeA: デカップリング容量なし & small 相互インダクタ、TypeB: 測定回路の前にオンチップデカップリング容量 C_d & small 相互インダクタ、TypeC: 測定回路の後にオンチップデカップリング容量 & small 相互インダクタ、TypeD: デカップリング容量なし & large 相互インダクタ、となっている。

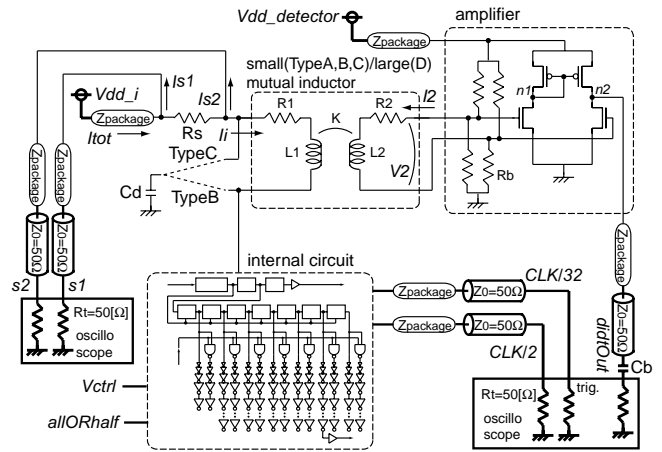


Figure 4.8: Over-all circuit with the measurement setup.

4.2.6 全体回路

内部回路のスイッチングによって di/dt が発生し、結合係数 K で結合されたスパイラルインダクタ L_2 の両端に誘導起電力が発生する。増幅器はその起電力を増幅し、 $didtOut$ へと出力する。直列抵抗 R_s の両端は $s1$, $s2$ 端子としてオシロスコープに接続されている。 V_{ctrl} と $allORhalf$ は DC 信号である。 $CLK/2$ と $CLK/32$ 信号は出力バッファを通じてチップの外に出力される。ただし、出力バッファ用電源 $V_{dd}io$ は図の簡略化のために省略されている。 $CLK/2$ は回路が正常に動作しているかの確認に使用され、 $CLK/32$ はオシロスコープのトリガとして使用される。

4.3 モデル化

4.3.1 解析式

相互インダクタンス M は

$$M = K \sqrt{L_1 L_2} \quad (4.4)$$

である。増幅器の入力電流を I_2 とすると誘導起電力 V_2 は

$$V_2 = M \frac{dI_i}{dt} + R_2 I_2 + L_2 \frac{dI_2}{dt} \approx M \frac{dI_i}{dt} \quad (4.5)$$

となる。ここで、増幅器の入力インピーダンスは R_2 、 ωL_2 と比べて十分大きい ($\omega \ll 10\text{GHz}$)、 I_2 は無視できる。

増幅器の増幅率を G とすると、 di/dt 測定回路の出力 $V_{didtOut}$ は

$$V_{didtOut} = G V_2 = G K \sqrt{L_1 L_2} \frac{dI_i}{dt} \quad (4.6)$$

であり、これは

$$\frac{dI_i}{dt} = \frac{1}{G K \sqrt{L_1 L_2}} V_{didtOut} \equiv A_{v2didt} V_{didtOut} \quad (4.7)$$

と変形できる。ここで、

$$A_{v2didt} \equiv \frac{1}{G K \sqrt{L_1 L_2}} \quad (4.8)$$

である。式 (4.7) を時間積分すると

$$I_i = A_{v2didt} \int V_{didtOut} dt + C \quad (4.9)$$

となる。また、内部電流 I_i と電圧 s_1 、 s_2 の関係は

$$V_{s1} - V_{s2} = R_s (I_i + I_{s2}) \quad (4.10)$$

であり、これは次のように変形される。

$$V_{s1} - \left(1 + \frac{R_s}{R_t}\right) V_{s2} = R_s I_i \quad (4.11)$$

ここで、 $I_s = V_s / R_t$ であり、 R_t は終端抵抗 50Ω である。式 (4.9) と式 (4.11) より

$$V_{s1} - \left(1 + \frac{R_s}{R_t}\right) V_{s2} = R_s A_{v2didt} \int V_{didtOut} dt + C \quad (4.12)$$

である。この式を時間積分することにより

$$V_{didtOut} = \frac{1}{R_s A_{v2didt}} \frac{d\{V_{s1} - (1 + R_s/R_t) V_{s2}\}}{dt} \quad (4.13)$$

が得られる。

測定可能な di/dt の範囲と周波数は増幅器の線形範囲と周波数特性によって決まり、

$$\frac{dI_i}{dt}_{range} = A_{v2didt} V_{amp_outRange_lin} \quad (4.14)$$

また、 di/dt 測定の細かさは di/dt 測定回路の出力電圧の細かさによって

$$\frac{dI_i}{dt}_{res} = A_{v2didt} V_{didtOut_res} \quad (4.15)$$

のように決まる。

4.3.2 パラメータ値

電源線の直列抵抗 R_s はシリサイド化されたゲートポリシリコンによって形成され、 1Ω に設計された。デカップリング容量 C_d はポリ-ポリ容量を用いて 700pF に設計した。バイアス抵抗 R_b は非シリサイド化されたゲートポリシリコンによって形成され、 $10\text{k}\Omega$ である。表 4.1 にパラメータ値一覧を示す。

Table 4.1: Designed Parameter Value.

	L_1	L_2	K	R_1	R_2
small	0.50nH	14.4nH	0.67	1.56 Ω	87.4 Ω
large	0.86nH	53.3nH	0.60	2.30 Ω	218 Ω
	G	A_{v2didt}	R_s		
	0.39	1.43(nH) $^{-1}$	1		
	0.39	0.63(nH) $^{-1}$	1		

4.4 測定

4.4.1 測定系

チップは $0.35\mu\text{m}$ 、2層ポリ、3層配線の標準 CMOS プロセスを用いて製造された。チップサイズは $4.9\text{mm} \times 4.9\text{mm}$ であり、チップ写真を図 4.9 に示す。

図 4.10 に示すように、チップは銅板上にマウントされる。 V_{dd_i} 、 $V_{dd_{io}}$ 、 $V_{dd_detecor}$ 、 V_{ctrl} 、 $allORhalf$ は DC 電圧であり、電圧源からボード上の”島”にリード線

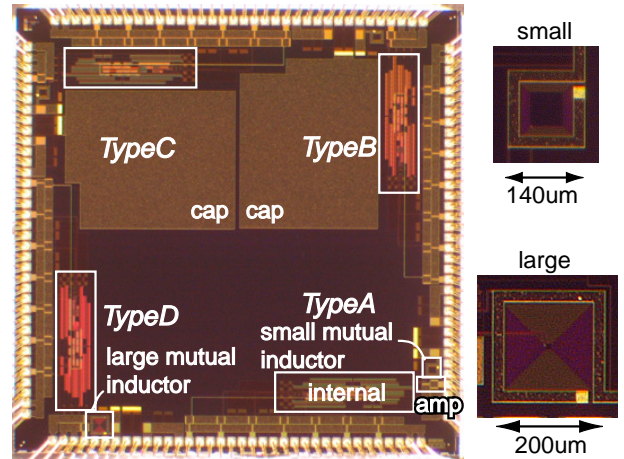


Figure 4.9: Chip photograph. The chip size is $4.9\text{mm} \times 4.9\text{mm}$.

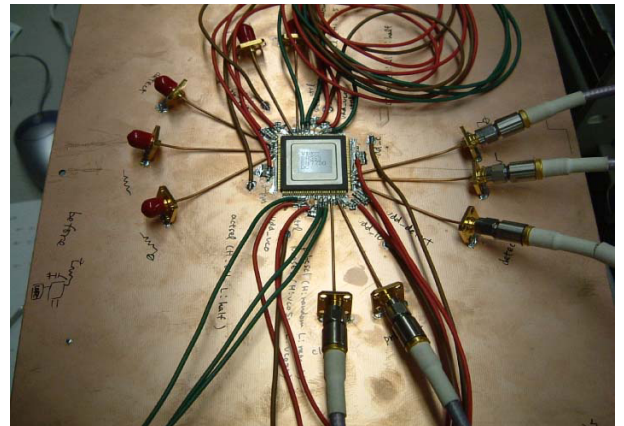


Figure 4.10: Chip mount on a Cu board.

を通じて電圧が供給され、島とそれぞれのピンが接続される。島の電圧は数個のチップ容量で固定される。 di/dt 、 $CLK/2$ 、 $CLK/32$ 、 $s1$ 、 $s2$ の高速出力ピンには 50Ω 系の伝送線路が直接接続され、オシロスコープでの電圧観測が可能となっている。

4.4.2 測定感度

図 4.11 に TypeA 回路の測定波形を示す。(a) は $CLK/2$ 、(b) は $s1$ と $s2$ 、(c) は $V_{s1} - (1 + R_s/R_t)V_{s2}$ と、数値積分された di/dt 測定回路出力に $R_s A_{v2didt}$ を掛けたものであり、式 (4.12) に基づく。(d) は di/dt 測定回路出力と、 $V_{s1} - (1 + R_s/R_t)V_{s2}$ を数値微分して $R_s A_{v2didt}$ で割ったものであり、式 (4.13) に基づく。また、凡例中の (M) と (C) はそれぞれ測定結果と計算結果を表している。グラフ (c)、(d) の右 Y 軸の電流、 di/dt 値は $R_s = 0.78\Omega$ 、 $A_{v2didt} = 1.43 \times 10^9$ として計算している。

これらの結果より、直列抵抗の両端にかかる電圧差と di/dt 測定回路出力とが一致していることから、 di/dt 測定回路が設計通りに動作していることがわかる。

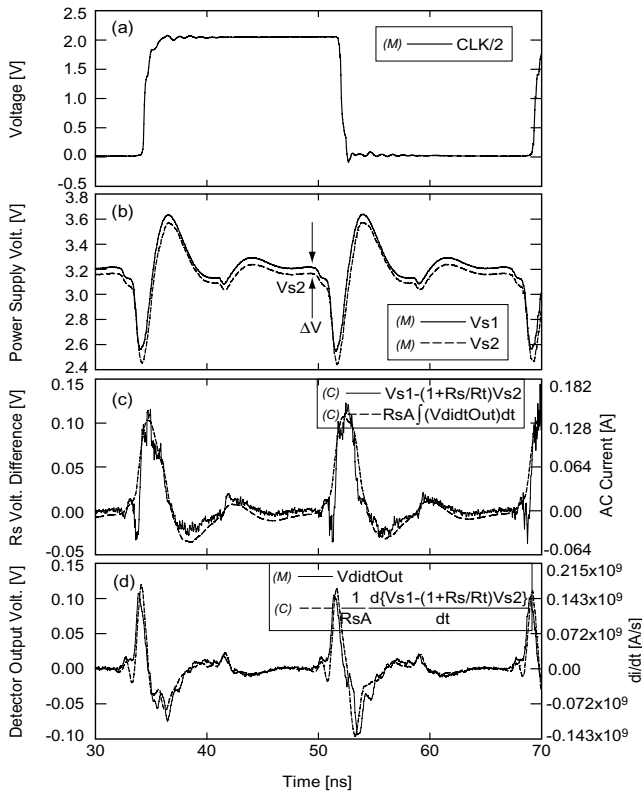


Figure 4.11: Waveforms of (a) $CLK/2$, (b) $s1$ and $s2$, (c) $V_{s1} - (1 + R_s/R_t)V_{s2}$ signal and the numerical-time-integral of the di/dt detector output multiplied by $R_s A_{v2didt}$, based on eqn(4.12), (d) the di/dt detector output and the numerical-time-differential of $V_{s1} - (1 + R_s/R_t)V_{s2}$ divided by $R_s A_{v2didt}$, based on eqn(4.13), of TypeA circuit. The (M) and (C) in the signal caption represent measured and calculated waveforms, respectively. The current and di/dt values on the right vertical axis in the graph (c) and (d) are calculated using $R_s = 0.78\Omega$ and $A_{v2didt} = 1.43 \times 10^9 \text{H}^{-1}$, respectively.

4.4.3 精度について

直列抵抗の値 R_s は、図 4.11 に示すように抵抗の電圧 $s1$ と $s2$ の電圧差 ΔV から計算される。矢印の時点では内部回路は動作しておらず、そのリーク電流を無視すると直列抵抗に流れる電流は $s2$ 出力の終端抵抗 R_t に流れる電流と同じであり、 $I_{s2} = V_{s2}/R_t$ である。したがって、直列抵抗の値は $R_s = \Delta V/I_{s2} = R_t \Delta V/V_{s2} = 50 \times (3.20999 - 3.16070)/3.16070 = 0.78\Omega$ となる。 R_s のおおよその設計値は 1Ω であり、測定値である 0.78Ω は正しいと考えられる。

図 4.11(c) の電流値は $R_s = 0.78\Omega$ を使って計算されており、図 4.11(d) の di/dt 値は $A_{v2didt} = 1.43 \times 10^9$ を使って計算されている。図 4.11(c)(d) における実線と点線との誤差は 30ns から 65ns の範囲での

$$\sigma = \sqrt{\frac{1}{N-1} \sum_{i=1}^N (V_{solid} - V_{dashed})^2} \quad (4.16)$$

によって評価することにする。ここで、サンプリング点は約 700 点である。図 (c) における誤差は $\sigma = 4.49\text{mV}$ であり、これは 5.8mA に相当し、図 (d) における誤差は $\sigma = 4.38\text{mV}$ であり、 $6.3 \times 10^9 \text{mA/s}$ に相当する。

4.5 考察

4.5.1 デカップリング容量の効果

図 4.12 に TypeA, B, C 回路における (a) $s1$ の波形、(b) di/dt 測定回路出力の波形を示す。TypeB, C において、デカップリング容量が AC 電流を供給するためにパッケージとボンディングワイヤに流れる di/dt は小さくなり、したがって寄生インダクタによる $s1$ の電圧変化が小さくなっていることが分かる。

TypeB におけるデカップリング容量は di/dt 測定回路に流れる AC 電流を減らすので、図 4.12(b) に示すように di/dt 測定回路出力は小さくなる。TypeC におけるデカップリング容量はデカップリング容量を付けない TypeA と比較して大きな di/dt 出力を引き起こすが、これは TypeA

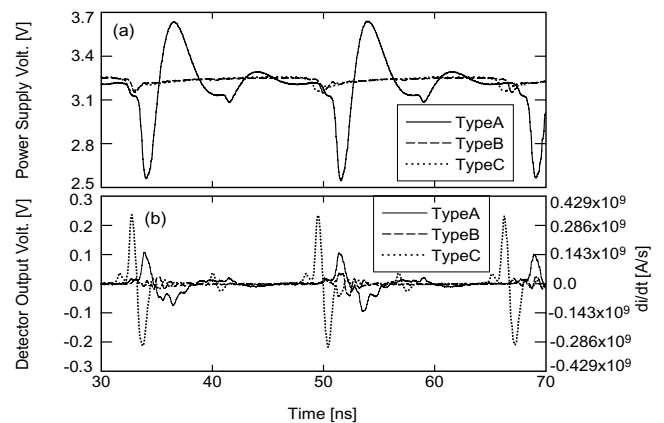


Figure 4.12: Measured waveforms of (a) $s1$, and (b) the di/dt detector output, of TypeA, B, C circuits.

における電源線のパッケージインピーダンス $Z_{package}$ が定電流源として働き、TypeC におけるデカップリング容量 C_d が定電圧源として働くためである。

4.5.2 活性化率、相互インダクタ依存性

TypeA, TypeD, TypeA の活性化率が半分のもの、という3種類について、 $s1$ と di/dt 測定回路出力の波形を図 4.13 に示す。図 (a) に示すように、TypeA と TypeD の電源ノイズはほぼ同じであり、これは電源線インピーダンスの主成分 $Z_{package}$ と内部回路のスイッチングが同じであるからである。活性化率が半分の場合、内部回路の di/dt も半分となり、したがって電源ノイズも小さくなる。

図 (b) に示すように di/dt 測定回路出力に関しては、TypeD の出力は TypeA の出力の $A_{v2didt_large}/A_{v2didt_small}=2.27$ 倍であり、また、活性化率が半分の場合は出力も半分となっている。

これらの結果からも di/dt 測定回路の妥当性が分かる。

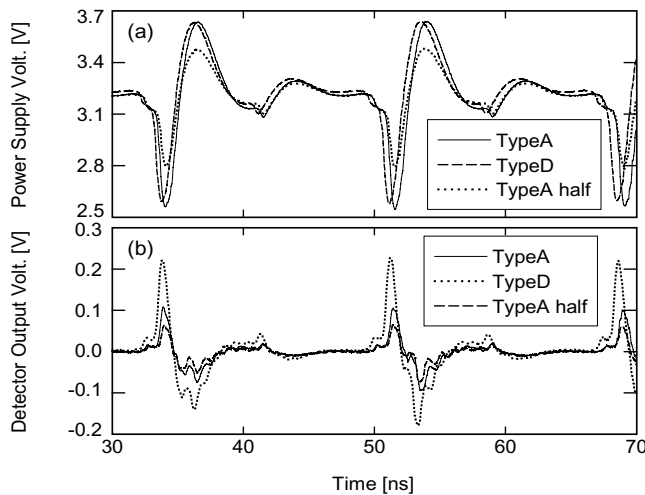


Figure 4.13: Measured waveforms of (a) $s1$, and (b) the di/dt detector output voltage, of TypeA, TypeD, and TypeA of the half activation ratio.

4.6 改良版 di/dt 測定回路

4.6.1 相互インダクタ

本 di/dt 測定回路は電源線に直列に挿入されるため、低インピーダンスであることが要求される。これまでに示した di/dt 測定回路のインピーダンスは実用には大きすぎる。改良版として、図 4.14 に示すように、1次側は ML2 と ML3 の両方を合わせて使用した直線を用いた。本構造の等価回路を FastHenry にて抽出した結果を表 4.2 に示す。 L_1 は約半分、 R_1 は約 1/10 となること分かる。結合係数 K が小さくなる分、増幅器の増幅率を上げることにより、small 相互インダクタの場合と変わらない感度を実現している。

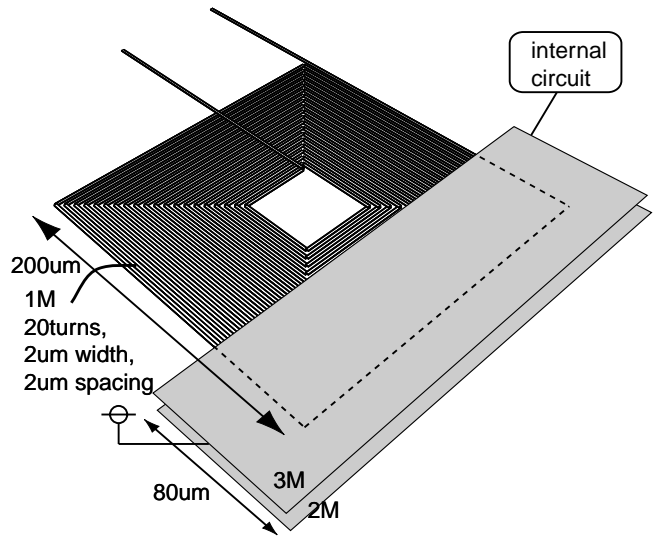


Figure 4.14: Mutual inductance with a lower input impedance.

Table 4.2: Parameters.

	L_1	R_1	M	diameter
small	0.50nH	1.56 Ω	1.80nH	140 μm
large	0.86nH	2.30 Ω	4.06nH	200 μm
improved	0.26nH	0.14 Ω	0.92nH	200 μm

4.6.2 測定系

内部回路は図 4.7 とほぼ同じであり、デカップリング容量 C_d は内蔵していない。テストチップは図 4.9 と同じく 0.35 μm 、2層ボリ、3層配線の標準 CMOS プロセスを用いて製造され、チップ写真を図 4.15 に示す。図 4.10 と同じく銅板上にマウントして測定した。

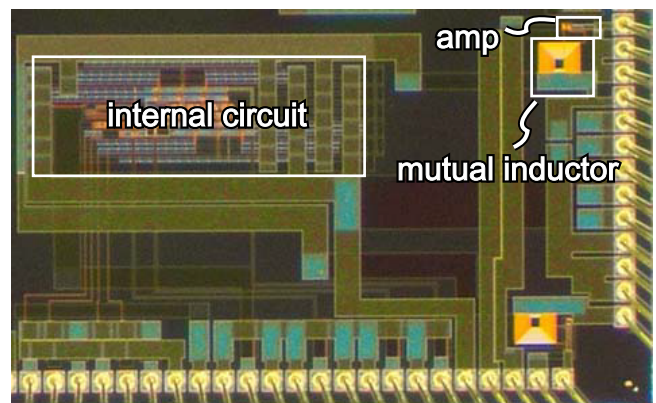


Figure 4.15: Chip photograph of the improved di/dt detector. The circuit area is 3.0mm \times 1.8mm.

4.6.3 測定波形

測定波形を図 4.16 に示す。フォーマットは図 4.11 と同じである。これらの波形より、改訂版の di/dt 測定回路も設計通りに動作していることが分かる。

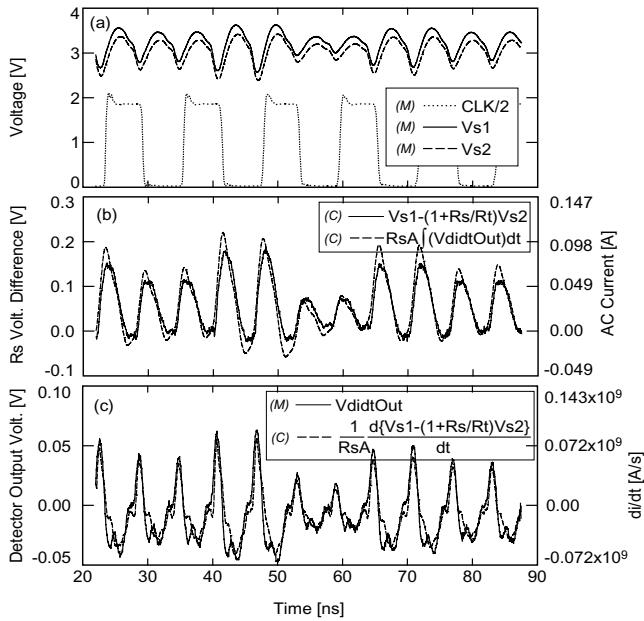


Figure 4.16: Waveforms of (a) $CLK/2$, s_1 and s_2 , (b) $V_{s1} - (1 + R_s/R_t)V_{s2}$ signal and the numerical-time-integral of the di/dt detector output multiplied by $R_s A_{v2didt}$, based on eqn(4.12), (d) the di/dt detector output and the numerical-time-differential of $V_{s1} - (1 + R_s/R_t)V_{s2}$ divided by $R_s A_{v2didt}$, based on eqn(4.13), of the improved di/dt detector circuit. The (M) and (C) in the signal caption represent measured and calculated waveforms, respectively. The current and di/dt values on the right vertical axis in the graph (c) and (d) are calculated using $R_s=2.04\Omega$ and $A_{v2didt}=1.43\times 10^9 H^{-1}$, respectively.

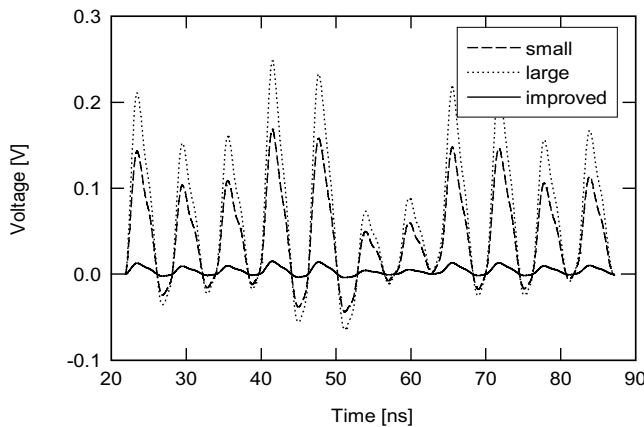


Figure 4.17: HSPICE simulation waveforms of the voltage drop between the detector terminals using the impedance listed in Table.4.2 and the current waveform shown in Fig.4.16(b) dashed line.

式 (4.16) で示される実線と点線の誤差 σ は、図 4.16(b) では $\sigma=9.10mV$ であり、 $4.46mA$ に相当し、(c) では $\sigma=6.30mV$ であり、 $9.01\times 10^9 mA/s$ に相当する。

表 4.2 に示すように、改良版では 1 次側のインピーダ

ンスが小さくなっている。HSPICE シミュレーションによる di/dt 測定回路での電圧降下を図 4.17 に示す。ただし、電流値として図 4.16(b) の点線で示されるものを用いた。改良版の di/dt 測定回路では、その電圧降下量が小さくなっていることが分かる。

4.7 フィードバック式 di/dt 制御

4.7.1 実現方法

前節までで述べた di/dt 測定回路はオンチップ集積が可能であり、実時間で測定可能であるため、 di/dt 制御システムに応用できる。例えば、 di/dt の値を常に監視しておき、ある基準値を超えると回路の一部を停止させて di/dt を抑えるようなものである。

フィードバック式 di/dt 制御回路の例を図 4.18 に示す。 di/dt 測定回路は di/dt の値を出力する。ギルバート乗算器 [19] で二乗することにより di/dt パワー波形となる。ローパスフィルタを通すことで di/dt に比例した DC 電圧を得ることができる。比較器で DC 電圧をある設定電圧 V_{refH} と比較し、それを超えていたら $Overflow$ 信号が“H”となり、スリープ制御は $activeORsleep$ ノードに“L (sleep)”を出力して、内部回路の一部がオフとなり、 di/dt が低下し、 $Overflow$ 信号は“L”に戻る。それでも di/dt が基準値を超えていたら $Overflow$ 信号は常に“H”を出力し続ける。その後、 di/dt が基準値 V_{refL} を下回ったらスリープ制御は“H (active)”を出力し、全ての回路が動作する。

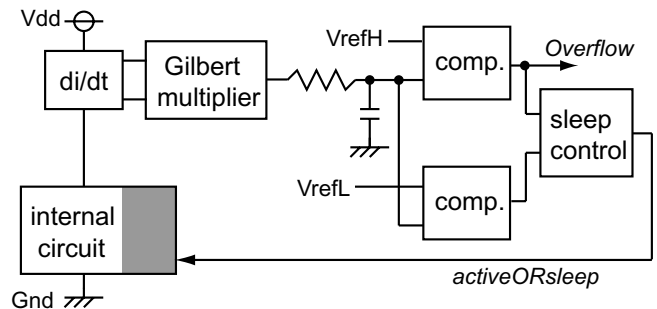


Figure 4.18: Feedback di/dt control system.

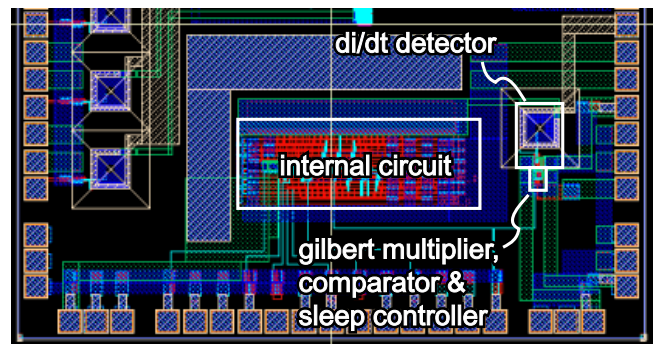


Figure 4.19: Chip layout of the feedback di/dt control circuit.

テスト回路を $0.15\mu\text{m}$ 、5層メタルの SOI-CMOS プロセスを用いて設計した。面積は $2.5\text{mm}\times 1.3\text{mm}$ であり、レイアウト図を図 4.19 に示す。

4.7.2 シミュレーション波形

HSPICE シミュレーション波形を図 4.20 に示す。電源電圧を 0.5V から 1.5V まで変化させることで、 di/dt を強制的に変化させている。時間 (i) では全ての内部回路が動作している。時間 (ii) でローパスフィルタ出力の $LPout$ が V_{refH} を超えるため、スリープ信号がオンとなり、内部回路の一部がオフとなって di/dt が減少する。時間 (iii) において、内部回路の一部がオフになっているにもかかわらず di/dt は基準値 V_{refH} を超えるため、 $Overflow$ 信号が ON になっている。電源電圧を低下させるにつれ、時間 (iv) で V_{refH} よりも低くなり、 $Overflow$ は OFF となる。時間 (v) で di/dt は V_{refL} よりも低くなるため、スリープは ON (active) となり、内部回路の全てが動作を始める。

このシミュレーション波形は、フィードバック式 di/dt が設計通りに動作していることを示している。

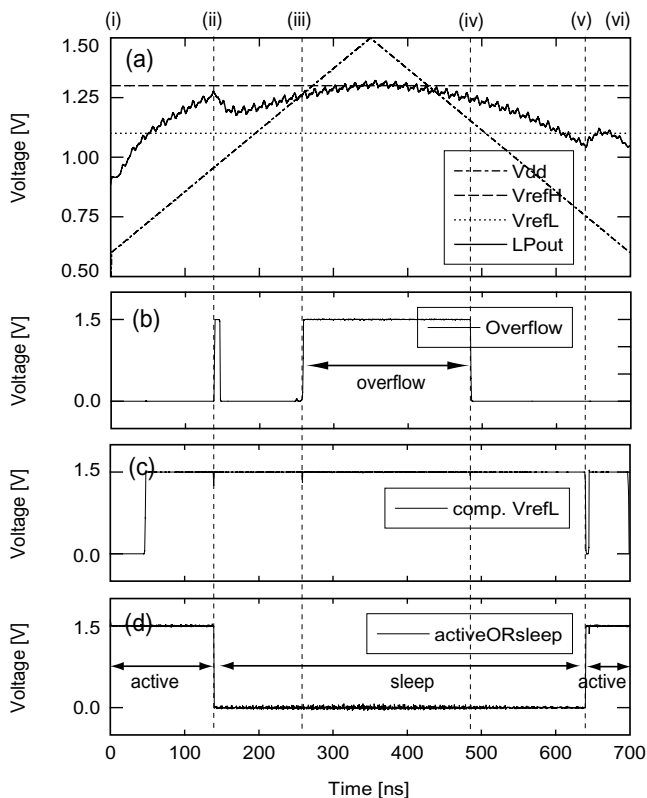


Figure 4.20: HSPICE simulation waveforms of the feedback di/dt control circuit.

4.8 まとめ

オンチップ di/dt 測定回路について述べた。本 di/dt 測定回路は電源線と、その下に配置されたスパイラルインダクタ、増幅器によって構成され、相互インダクタンスに

よって di/dt に比例した誘導起電力を増幅器で増幅して出力している。 di/dt 測定回路出力と電源線に直列挿入された抵抗の両端の電圧差から計算した電流値が一致する測定結果が得られ、測定精度は $6.3\times 10^9\text{mA/s}$ であった。また、 di/dt 波形を積分することで電流波形が得られ、その誤差は 5.8mA であった。また、本 di/dt 測定回路を用いて、デカップリング容量による di/dt 低減の効果も観測できた。

改良版の di/dt 測定回路を設計した。2層と3層メタルを同時に使用した直線の電源線レイアウトを用いることで、 di/dt 測定回路による電圧降下を抑えることができた。改良版の di/dt 測定回路は、従来の測定回路を同様な精度で di/dt 測定が可能であった。

本 di/dt 測定回路はオンチップ集積が可能であり、かつ、実時間で di/dt を出力するため、フィードバック式 di/dt 制御回路へ応用できる。 di/dt がある基準値を超えると内部回路の一部をオフにし、ある基準値を下回ると内部回路の全てをオンにするような di/dt 制御回路を設計し、良好なシミュレーション波形を得た。

第5章

di/dt測定回路を用いたフィードフォワード式動的基板ノイズ低減手法

本章の要旨

本章では、 di/dt 測定回路を用いたフィードフォワード式動的基板ノイズ低減手法について述べる。基板はグランド線に接続されているため、グランド線のインピーダンスがインダクティブな場合は、基板ノイズは di/dt によって引き起こされるグランドノイズと密接な関係がある。本フィードフォワード式動的基板ノイズ低減手法では、電源の di/dt を検出し、逆位相の電流を基板に注入することにより、 di/dt に比例した基板ノイズを打ち消す。テスト回路では、34%の基板ノイズが低減された。また、ノイズ低減回路の最適化によって54%にまで低減効率が向上されることを理論的に示した。

5.1 はじめに

大規模デジタル回路とA/D変換、D/A変換、PLLなどのアナログ回路を集積化するアナログ・デジタル混載システムLSIが必要となるにつれ、基板ノイズの問題が深刻化してきた。デジタル回路で発生するノイズからアナログ回路を守るため、デジタル用とアナログ用の電源は分離して設計される。しかし、基板が共通であるため、基板を通じてノイズが伝搬してしまう。基板ノイズによってPLLのジッタが10倍になったという報告[20]もある。

電源線のノイズは di/dt ノイズと抵抗成分による電圧降下とがある。通常、デジタル回路のグランド線はCMOSゲート毎に基板と接続されており、グランド線と基板は低インピーダンスで接続されている。したがって、デジタルグランド線で発生するノイズやリングングは基板にも現れることになる。基板ノイズ波形はグランドノイズ波形の1/8の大きさでほぼ同じ形をしている、という測定結果[16]も報告されている。

基板ノイズを抑えるために、ガードリングを用いるのが一般的である。しかし、ガードリング線の寄生インダクタンスが原因で、特に高周波のノイズに対して有効ではない[22]。フィードバック式の動的ガードリング方式[22][23]では、基板ノイズを検出し、増幅器でその逆位相の信号を生成し、基板に注入することでノイズを打ち消す。しかしこの手法では、増幅器の遅延と周波数応答が帯域を制限するため、実用的なノイズ低減は得られていない。また、フィードバック方式は不安定になりがちで

ある。

本章では、 di/dt 測定回路を用いたフィードフォワード式動的基板ノイズ低減手法について述べる。

5.2節でフィードフォワード式動的基板ノイズ低減手法の基本原理について述べた後、5.3で測定結果を示す。5.4節で考察を行い、5.5節で本章の結論を述べる。

5.2 回路設計

5.2.1 基板ノイズと di/dt

基板ノイズの主要原因はデジタル回路用電源ノイズからのカップリングである。グランドノイズは電源電流とグランド線のインピーダンスによって引き起こされる。グランド線のインピーダンスのうち、インダクタンス成分が主である場合にはグランドノイズは di/dt に比例することになる。このとき、基板ノイズも di/dt に比例する。ここで、前章で述べた di/dt 測定回路を基板ノイズの低減に応用する。

フィードフォワード式動的基板ノイズ低減回路のブロック図を図5.1に示す。グランドノイズは L_{gnd} と電源電流の di/dt によって発生し、基板の抵抗を通じてアナログ回路へと伝搬する。P基板-Nウェルの接合容量はグランド線-基板のインピーダンスに比べて小さいため、 V_{dd_D} のノイズは基板には伝搬しない。ここで、基板ノイズは

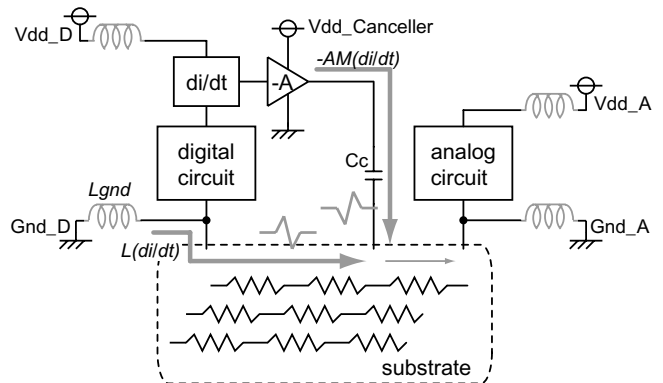


Figure 5.1: Feedforward active substrate noise cancelling.

di/dt に比例するため、 di/dt 測定回路の反転出力は基板ノイズと逆位相を持つことになる。この逆位相の信号を基板に注入することで基板ノイズを打ち消すことができる。

5.2.2 ノイズキャンセラ

基板ノイズの反転信号を作り出す回路は、基本的には前節で述べた di/dt 測定回路と同じであり、電源線と結合した相互インダクタンスによって di/dt に比例した誘導起電力を発生し、増幅器によって増幅する。図 5.2 に示すように、違いは、増幅器への入力端子のプラスとマイナスが反転している点であり、逆位相の信号を生成している。

基板はグランド电位になっているため、増幅器の出力に容量 C_c を挿入することでノード $n2$ のパイアス点が変わることを防いでいる。ここで、注入点から見た基板の入力インピーダンスは純抵抗であると仮定する。電流を適切な位相で注入するためには、容量 C_c のインピーダンスが基板抵抗のインピーダンスよりも十分小さい必要があり、このとき、増幅器は電圧制御電流源と考えることができるため、注入電流は di/dt と逆位相を持つことになる。

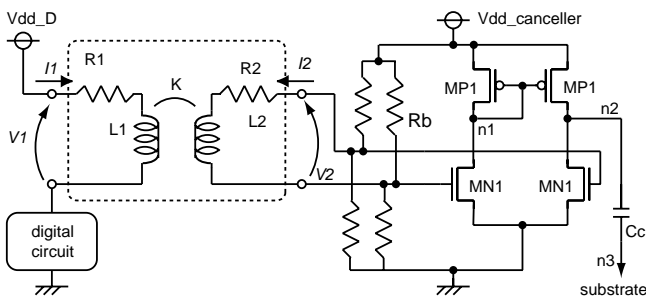


Figure 5.2: Active substrate noise canceller.

5.2.3 検証用基板ノイズ測定回路

基板ノイズ低減効果を検証するための基板ノイズ測定回路を図 5.3 に示す。基板ノイズは、一方を外部グランドに接続された初段の差動増幅器によって増幅される。増幅器が最大の増幅率を持つように、その入力端子は、AC 信号に対しては開放と見なせるような大きな抵抗 R_b によって $V_{dd}/2$ にパイアスされる。基板の電圧はおおよそグランド电位にあるため、容量 C_c が挿入される。2 段目、3

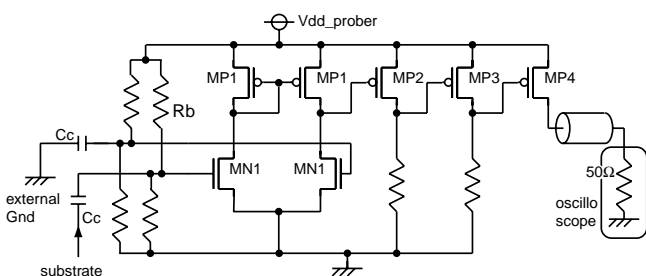


Figure 5.3: Substrate noise prober.

段目の増幅器は PMOS と抵抗によって形成され、最終段は PMOS のオープンドレインとしている。

5.2.4 ノイズ源としての内部回路

ノイズ源としての内部回路を図 5.4 に示す。このテスト回路は VCO を内蔵しており、DC コントロール電圧 (V_{ctrl}) を変えることで容易に動作周波数を変化させることができる。分周器によって 101010... の信号を生成し、シフトレジスタへ入力される。SEL 回路は動作モードをリピートモードとランダムモードとに切り替えることができる。リピートモードでは SEL 回路は常に “High” を出力し、DFF の出力変化はインバータ列へと伝わり、毎クロックで同じ電流を消費する。ランダムモードでは、SEL 回路は $CLK/4$, $CLK/8$ 信号を出力し、SEL 出力が “L” の時は DFF の出力変化がインバータ列へは伝わらず、クロックごとに異なる電流を消費する。allORhalf は回路の活性化率を制御する。 $CLK/32$ はオシロスコブのトリガとして使用され、 $CLK/2$ は基板ノイズのタイミング解析のための基準として使用される。

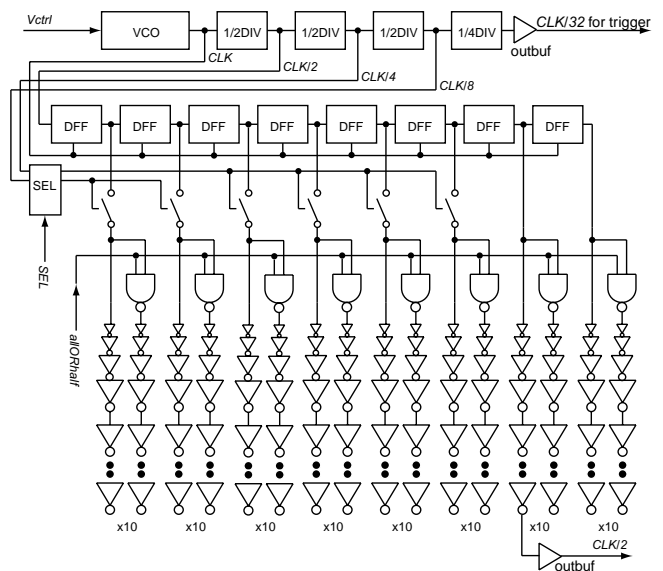


Figure 5.4: Internal circuit as a noise source.

5.2.5 パラメータ値

回路は $0.35\mu\text{m}$ 、3 層メタル、2 層ポリの標準 CMOS プロセスを用いて設計した。 di/dt 測定用相互インダクタンスは、電源線とその下に配置されるスパイラルインダクタによって構成される。電源線 L_1 は 3 層メタルを用いて $20\mu\text{m}$ 幅で 1 巻、スパイラルインダクタ L_2 は 1 層メタルを用いて $2\mu\text{m}$ 幅、 $2\mu\text{m}$ スペースで 24 巻として構成される。相互インダクタンスの外形は $200\mu\text{m} \times 200\mu\text{m}$ である。等価回路は、3 次元ソルバである FastHenry[11] を用いて抽出した。容量 C_c はポリ-ポリ容量で構成され 25pF に設計される。パイアス用抵抗 R_b は非シリサイド化されたゲートポリで構成され、約 $10\text{k}\Omega$ に設計された。表 5.1 にパラメータ値を挙げる。

Table 5.1: Designed Parameter Value.

mutual inductor	L_1	L_2	K	R_1	R_2
	0.86nH	53.3nH	0.603	2.3 Ω	218 Ω
amp for canceller	W_{pmos}	W_{nmos}	R_b	C_c	
	200 μm	100 μm	10k Ω	25pF	
amp for prober	W_{pmos1}	W_{nmos1}	R_b	C_c	W_{pmos4}
	20 μm	10 μm	10k Ω	25pF	160 μm

5.2.6 フロアプラン

チップ写真を図 5.5 に示す。チップ面積は 3.0mm×1.8mm である。

基板ノイズの測定点はノイズ源から 750 μm 離れており、また、キャンセル信号の注入点はノイズ源と測定点との間に位置している。

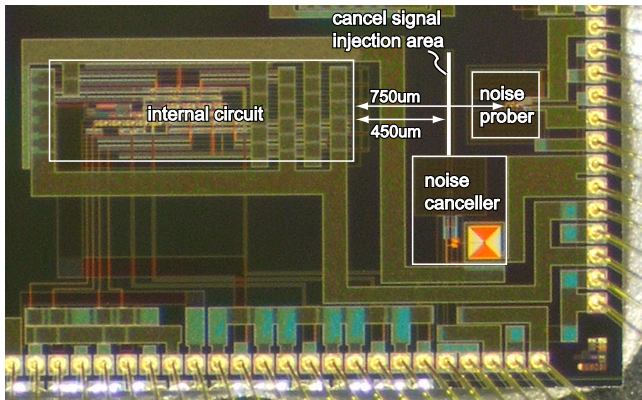


Figure 5.5: Chip photograph of the feedforward active substrate noise cancelling circuit, fabricated by 0.35 μm standard CMOS technology. The chip area is 3.0mm×1.8mm.

5.3 測定

5.3.1 測定系

高速ノイズ波形を測定するため、図 5.6 に示すように、チップを銅板上にマウントして測定する。 $V_{dd_internal}$, V_{dd_io} , $V_{dd_canceller}$, V_{dd_prober} , V_{ctrl} , SEL , $allORhalf$ は DC 入力であり、ボード上の“島”にリード線を通じて電圧が供給される。島の電圧は数種類のチップ容量によって安定化される。 $CLK/2$, $CLK/32$ と基板ノイズ出力の高速出力ピンには 50 Ω の伝送線路が直接接続され、高速測定を可能にしている。

5.3.2 基板ノイズ波形

基板ノイズと $CLK/2$ 信号の測定波形を図 5.7 に示す。Active cancel OFF/ON は、 $V_{dd_canceller}=0\text{V}/3.3\text{V}$ を意味している。図 5.7(a) にリピートモードでの波形を、図 5.7(b) にランダムモードでの波形を示す。動作周波数は 500MHz

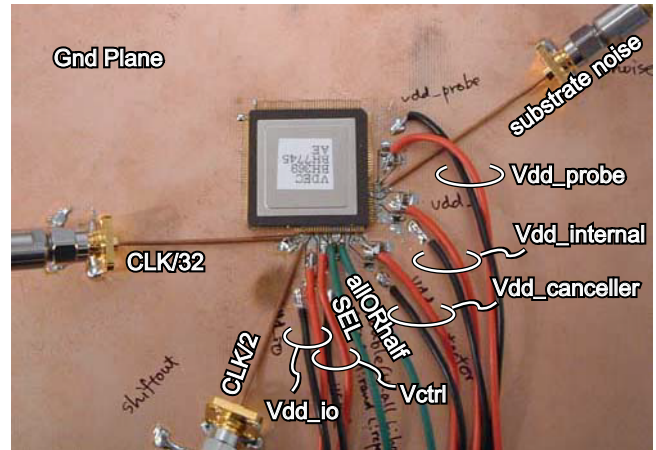


Figure 5.6: Photograph of the chip mount.

であり、HSPICE による 500MHz でのノイズ測定用増幅器の増幅率は 7.5 である。ノイズ波形は約 1V のバイアス電圧を持っているが、図 5.3 における最終段 PMOS のオン抵抗が 100 Ω 程度であることに起因している。これらの波形から、フィードフォワード式動的基板ノイズ低減

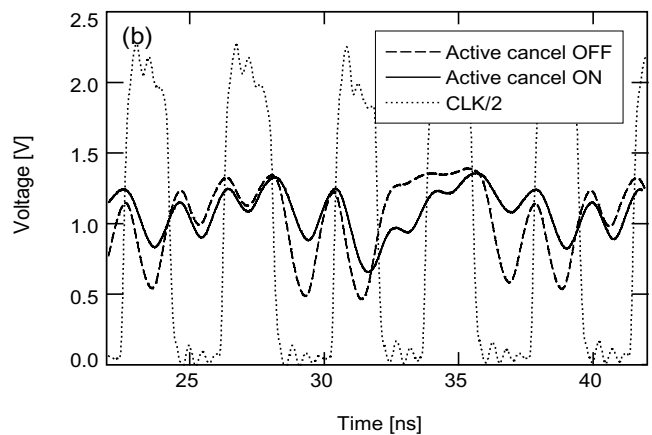
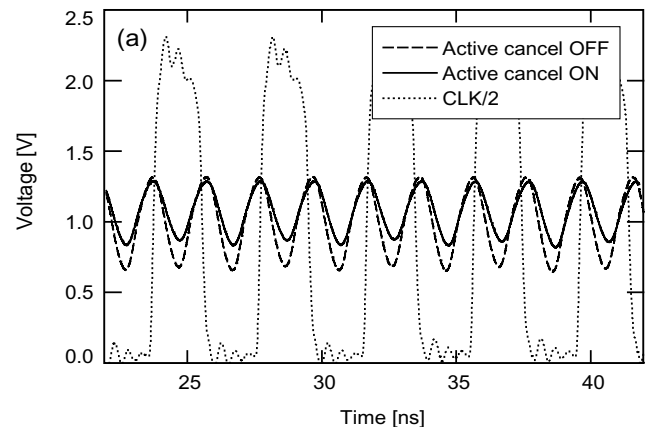


Figure 5.7: Substrate noise waveforms with the active noise cancelling ON/OFF, together with the $CLK/2$ signal. The operating frequency is 500MHz. (a) Repeat mode, and (b) Random mode.

回路では、peak-to-peak 電圧で、リピートモードにおいて 30%、ランダムモードにおいて 24%のノイズ低減が得られたことが分かる。

5.3.3 周波数依存性

リピートモードにおける基板ノイズの最大と最小電圧の周波数依存性と、その低減率の周波数依存性を図 5.8(a) に示し、ランダムモードでの結果を図 5.8(b) に示す。100MHz から 600MHz に渡って、リピートモードでは 17%から 34%、ランダムモードでは 15%から 31%の基板ノイズ低減が得られた。ランダムモードにおいて、600MHz 以降でもノイズ低減効果が劣化しないのは、ランダム動作によってノイズの主成分が動作周波数の半分の周波数成分になるためである。

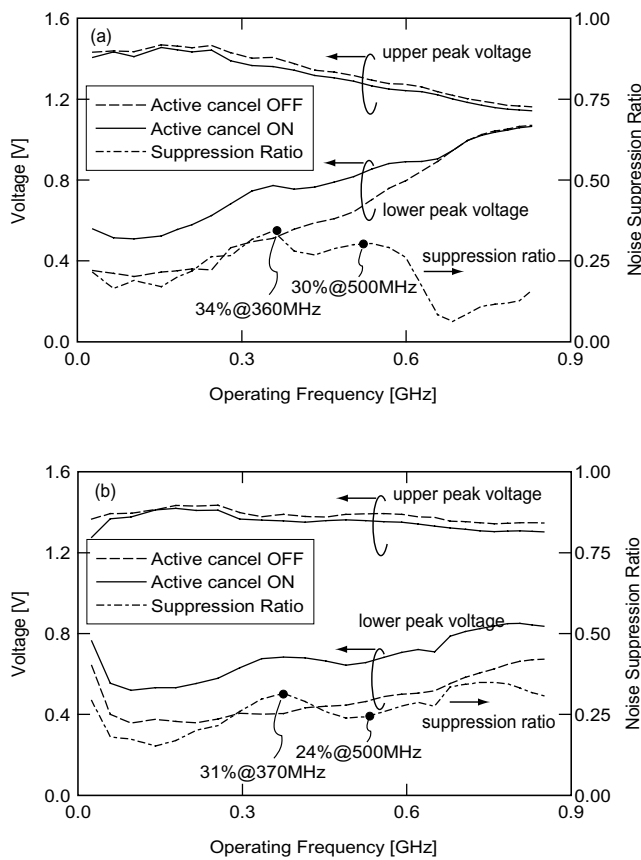


Figure 5.8: The frequency dependence of the upper and lower peaks of the substrate noise voltage, together with its suppression ratio by the feedforward active noise cancelling (a) on the repeat mode, (b) on the random mode.

5.4 考察

5.4.1 電流注入

ノイズ低減のための電流注入量は電流注入回路の電源電圧 $V_{dd_canceller}$ によって制御される。基板ノイズ電圧の $V_{dd_canceller}$ 電圧依存性を図 5.9 に示す。リピートモードの 500MHz 動作時におけるノイズの最大と最小電圧の

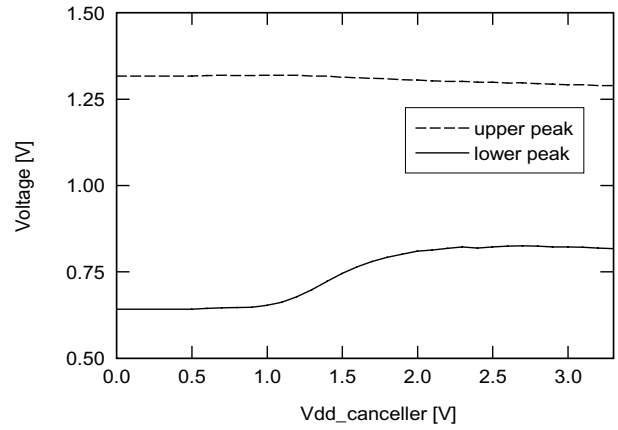


Figure 5.9: Noise canceller supply voltage dependence of the substrate noise amplitude, on the repeat mode at 500MHz operation with the anti-phase current injection.

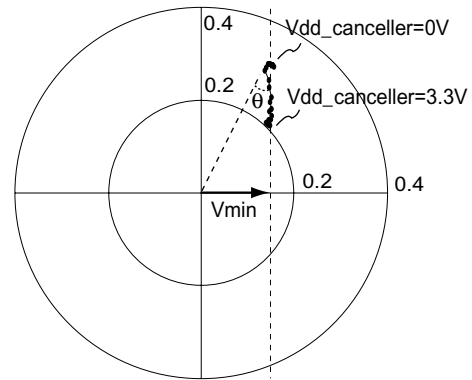


Figure 5.10: Noise canceller supply voltage dependence of the substrate noise phasor, for $V_{dd_canceller}$ sweeping from 0V to 3.3V by 0.1V step, on the repeat mode at 500MHz operation with the anti-phase current injection.

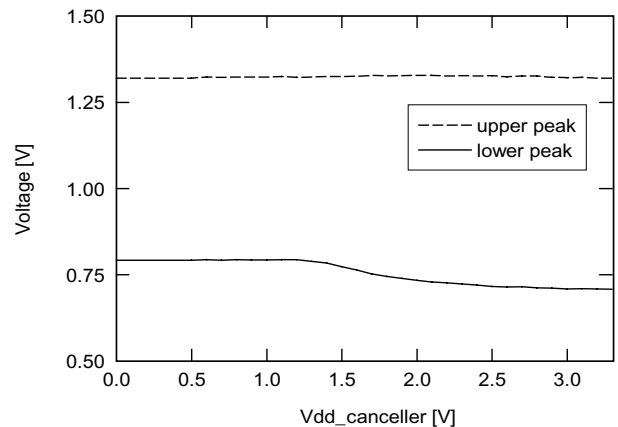


Figure 5.11: Noise canceller supply voltage dependence of the substrate noise amplitude, on the repeat mode at 500MHz operation with the in-phase current injection.

変化を示している。基板ノイズは 1.0V 付近から減少を始め、2.5V 付近で飽和する。これは電流注入用増幅器が 1V 付近から動作が始まり、MP1 と MN1 のトランスコンダクタンス g_m が 2.5V 付近で飽和するためである。

基板ノイズの振幅と位相をフェーザダイアグラムにプロットしたものを図 5.10 に示す。ここで、位相は $CLK/2$ を基準としている。 $V_{dd_canceller}$ を 0V から 3.3V まで 0.1V ステップで振った時のフェーザの軌跡から、注入電流の位相は $-\pi/2$ であることが分かる。また、電流注入用増幅器の MP1, MN1 のトランジスタサイズを大きくすることで注入電流量を増加させると、基板ノイズがより効果的に低減できることが分かる。MP1 と MN1 のサイズを最適化することで図 5.10 の V_{min} までノイズの最小化が可能である。このときのノイズ低減率は 56% である。 V_{min} は基板ノイズと di/dt の位相差に依存し、基板ノイズと di/dt の位相が完全に一致した場合 (i.e. $\theta=0$) には V_{min} はゼロになる。

これまでは逆位相の電流を注入していたが、増幅器入力のプラスとマイナスを入れ替えば同位相の電流が注入され、基板ノイズは増加する。比較用にそのような回路を設計した。その他の内部回路などは全く同一であり、チップ写真も図 5.5 とほぼ同じである。同位相注入の回路における、基板ノイズの $V_{dd_canceller}$ 依存性を図 5.11 に示す。 $V_{dd_canceller}$ 電圧にしたがって基板ノイズが増加していくことが分かる。この結果は、前節で示した基板ノイズ低減が、他の要因ではなく、フィードフォワード式動的基板ノイズ低減回路によって達成されていることの確認となる。

ここで、図 5.9 と図 5.11 における同位相注入と逆位相注入の場合での $V_{dd_canceller}=0$ における基板ノイズ電圧の違いは、プロセス変動が原因であると考えられる。同位相注入と逆位相注入の測定には別チップを使用したため、電流注入用増幅器のオフセットや増幅率が異なるためであると考えられる。

5.5 まとめ

フィードフォワード式動的基板ノイズ低減手法について述べた。電源線の di/dt を検出し、その逆位相の電流を基板に注入することにより、 di/dt に比例した基板ノイズ電圧を打ち消すことができる。500MHz 動作のテスト回路において、30%の基板ノイズを打ち消すことができた。また、100MHz から 600MHz の範囲で 17% から 34% の基板ノイズ低減を達成した。フェーザを測定することで、電流注入用トランジスタサイズの最適化により、ノイズ低減率を 56% にまで高めることができることを示した。

第6章

結論

本論文では、LSIにおける電源ノイズ低減に関して論じた。以下に結論を述べる。

第2章では、スタブとデカップリング容量について電源ノイズ低減の観点から比較した。ある周波数において、1/4波長スタブの入力インピーダンスはゼロとなり、LSIの電源線に接続することで電源ノイズを抑えることができる。

スタブとデカップリング容量について、同一面積 A において、厚さ t 、距離 d 、抵抗率 ρ 、比誘電率 ϵ_r の場合の入力インピーダンスを導いた。スタブのインピーダンスがデカップリング容量のインピーダンスよりも小さくなる境界周波数 f_B を明らかにした。この解析式は、ノイズ周波数が高くなるほどスタブが有効に働くことを示している。

回路シミュレーションによると、1.8V、2.5GHz動作のテスト回路において、 $d = 5\mu\text{m}$ 、 $t = 1\mu\text{m}$ 、 $A = 1\text{mm}^2$ 、 $\epsilon_r = 3.9$ 、 $\rho = 1.673 \times 10^{-8} \Omega \cdot \text{m}$ の条件において、スタブを接続することで、何も付けない場合よりも37%、デカップリング容量を接続した場合よりも18%の電源ノイズ低減が得られた。

第3章では、スタブによる電源ノイズ低減を実験的に検証した。2.5GHz動作のLSIにおけるオンチップのスタブは、その寄生抵抗とチップ内部での曲がりによって、ノイズ低減効果を示さなかった。一方、オンボードのスタブでは、第2章で理論的に予測されたように、明らかなノイズ低減が観測された。

測定結果では、1.25GHzと1.95GHz用のオンボードスタブにおいて、ノイズの動作周波数成分の87%、72%、全ノイズ値の39%、19%の低減が得られた。また、スタブ周波数以外の周波数ではノイズは低減されず、第2章で理論的に予測されたスタブの周波数依存性も観測された。

これらの測定結果は、LSIの動作周波数が向上して必要なスタブ長が短くなった場合にスタブのオンチップ集積化が可能であることを示しており、その場合、パッケージやボンディングワイヤなどの寄生インダクタンスの影響を無視することができることになる。

第4章では、オンチップの di/dt 測定回路について述べた。本 di/dt 測定回路は電源線とその下に位置する

スパイラルインダクタ、増幅器から構成される。相互インダクタンスによって di/dt に比例する誘導起電力を発生し、増幅器で増幅して出力する。

電源線に直列挿入された抵抗の両端の電圧差から電流が求まり、数値計算により、その時間微分波形が得られる。その波形と、 di/dt 測定回路からの出力とがよく一致する測定結果が得られた。本 di/dt 測定回路の測定精度は $6.3 \times 10^9 \text{mA/s}$ であり、これを微分すると電流波形が得られるが、その精度は5.8mAという値が得られた。また、デカップリング容量による di/dt 低減の効果も測定された。

改良版の di/dt 測定回路を開発した。電源線を2層と3層メタルを同時に用いた直線のレイアウトとすることで、 di/dt 測定回路による電圧降下を大幅に低下させた。

本 di/dt 測定回路はオンチップ集積化と実時間での測定が可能であるため、フィードバック式 di/dt 制御回路に応用できる。 di/dt 測定回路出力を二乗して低域通過フィルタを通すことにより、 di/dt に比例したDC電圧を得ることができる。一例として、 di/dt がある基準値を超えると内部回路の一部が停止するような回路を設計し、良好なシミュレーション結果を得た。

第5章では、フィードフォワード式動的基板ノイズ低減手法について述べた。グランド線のインピーダンスがインダクティブな場合、グランドノイズは di/dt に比例するが、基板はグランド線と低インピーダンスで接続されているため、基板ノイズも di/dt に比例する。本基板ノイズ低減手法では、第4章で述べた di/dt 測定回路を用いて、電源線の di/dt を測定し、その逆位相の電流を基板に注入することで基板ノイズを打ち消している。

測定結果によると、500MHz動作のテスト回路において、30%の基板ノイズ低減が得られ、100MHzから600MHzの範囲で17%から34%の基板ノイズ低減が得られた。基板ノイズのフェーザ測定の結果から、電流注入用増幅器のトランジスタサイズ最適化によって56%の基板ノイズ低減が得られることが理論的に示された。

これらの結果はLSIにおけるシグナルインテグリティ向上に貢献し、将来のLSIの発展に寄与することと信じる。

参考文献

- [1] "International Technology Roadmap for Semiconductors 2002 Update," [Online] <http://public.itrs.net/>
- [2] "Agreement of Voluntary Control Council for Interference by Information Technology Equipment," *Voluntary Control Council for Interference by Information Technology Equipment (VCCI)* [Online] http://www.vcci.or.jp/vcci_e/member/kiyaku/kiyaku.html
- [3] "Analysis and Design of Digital Integrated Circuits In Deep Submicron Technology," David A. Hodges, Horace G. Jackson, Resve A. Saleh, *McGraw-Hill Companies, Inc*, 2004.
- [4] Mustafa Badaroglu, Kris Tiri, Stephane Donnay, Piet Wambacq, Ingrid Verbauwhede, Georges Gielen, Hugo De Man, "Clock Tree Optimization in Synchronous CMOS Digital Circuits for Substrate Noise Reduction Using Folding of Supply Current Transients," *ACM/IEEE Design Automation Conf.*, pp.399–404, June 2002.
- [5] Hirokazu Tohya, "New Technologies Doing Much for Solving the EMC Problem in the High Performance Digital PCBs and Equipment," *IEICE Trans. Fundamentals*, pp.450–456, March 1999.
- [6] Larry D. Smith, Raymond E. Anderson, Douglas W. Forehand, Thomas J. Pelc, Tanmoy Roy, "Power Distribution System Design Methodology and Capacitor Selection for Modern CMOS Technology," *IEEE Trans. on Advanced Packaging*, pp.284–291, Aug. 1999.
- [7] Payam Heydari, Soroush Abbaspour, Massoud Pedram, "A Comprehensive Study of Energy Dissipation in Lossy Transmission Lines Driven by CMOS Inverters," *IEEE Custom Integrated Circuits Conf.*, pp.517–520, May 2002.
- [8] "Fundamentals of Engineering Electromagnetics," David K. Cheng, *Addison-Wesley Series in Electrical Engr.*, 1994.
- [9] Antonije R. Djordjevic, Alenka G. Zajic, Dejan V. Tosic, Truc Hoang, "A Note on the Modeling of Transmission-Line Losses," *IEEE Trans. Microwave Theory Tech.*, pp.483–486, Feb. 2003
- [10] "Raphael USER'S GUIDE," <http://www.synopsys.com>
- [11] "FastHenry Manual," <http://rleweb.mit.edu/vlsi/codes.htm>
- [12] "HSPICE USER'S GUIDE," <http://www.synopsys.com>
- [13] Akira Imamura, Minoru Fujishima, Koichiro Hoh, "Bending-Comb Capacitor with a Small Parasitic Inductance," in *IEEE/JSAP Symposium on VLSI Circuits*, June 2002, 2-4.
- [14] "HIGH-SPEED DIGITAL DESIGN," Howard Johnson, Martin Graham, Appendix C, *Prentice Hall PTR*, 1993.
- [15] H. Wabuka, N. Matsuda, N. Tamaki, H. Tohya, "Estimation of the RF current at IC power terminal by magnetic probe with multi-layer structure," *IEICE Technical Report*, EMCJ98-6, pp.39–43, April 1998.
- [16] Makoto Takamiya, Masayuki Mizuno, Kazuyuki Nakamura, "An on-chip 100GHz-sampling rate 8-channel sampling oscilloscope with embedded sampling clock generator," *IEEE Int. Solid-State Circuit Conf.*, pp.182–183, Feb. 2002.
- [17] Makoto Takamiya, Masayuki Mizuno, "A Sampling Oscilloscope Macro toward Feedback Physical Design Methodology," *IEEE/JSAP Symposium on VLSI Circuits*, pp.240–243, June. 2004.
- [18] Keith A. Jenkins, Robert L. Franch, "Measurement of VLSI Power Supply Current by Electron-Beam Probing," *IEEE J. Solid-State Circuits*, pp.948–950, June 1992.
- [19] Barrie Gilbert, "A Precise Four-Quadrant Multiplier with Subnanosecond Response," *IEEE J. Solid-State Circuits*, pp.365–373, Dec. 1968.
- [20] Patrik Larsson, "Measurements and Analysis of PLL Jitter Caused by Digital Switching Noise," *IEEE J. Solid-State Circuits*, pp.1113–1119, July 2001.
- [21] Marc van Heijningen, John Compjet, Piet Wambacq, Stephane Donnay, Marc G. E. Engels, Ivo Bolsens, "Analysis and Experimental Verification of Digital Substrate Noise Generation for Epi-Type Substrate," *IEEE J. Solid-State Circuits*, vol.35, pp.1002–1008, July 2000.
- [22] Keiko Makie-Fukuda, Satoshi Maeda, Toshiro Tsukada, Tatsuji Matsuura, "Substrate Noise Reduction Using Active Guard Band Filters in Mixed-Signal Integrated Circuits," *IEICE Trans. Fundamentals*, pp.313–320, Feb. 1997.
- [23] Toshiro Tsukada, Yasuyuki Hashimoto, Kohji Sakata, Hiroyuki Okada, Koichiro Ishibashi, "An On-Chip Active Decoupling Circuit to Suppress Crosstalk in Deep Sub-Micron CMOS Mixed-Signal SoCs," *IEEE Int. Solid-State Circuit Conf.*, pp.160–161, Feb. 2004.
- [24] Yoshitaka Murasaka, Makoto Nagata, Takafumi Ohmoto, Takashi Morie, Atsushi Iwata, "Chip-Level Substrate Noise Analysis with Network Reduction by Fundamental Matrix Computation," *IEEE Int. Symp. Quality Electronic Design.*, pp.482–487, Mar. 2001.
- [25] Makoto Nagata, Jin Nagai, Takashi Morie, Atsushi Iwata "Measurements and Analysis of Substrate Noise Waveform in Mixed-Signal IC Environment," *IEEE Trans. on Computer-Aided Design*, pp.671–678, June 2000.

発表文献

論文誌

- Toru Nakura, Makoto Ikeda, Kunihiro Asada, “Stub vs. Capacitor for Power Supply Noise Reduction,” *IEICE Trans. on Electronics*, vol.E88-C, no.1, pp.125-132, Jan. 2005. (Chapter 2)
- Toru Nakura, Makoto Ikeda, Kunihiro Asada, “Preliminary Experiments for Power Supply Noise Reduction using On-board Stubs,” *IEICE Trans. on Electronics*, submitted. (Chapter 3)
- Toru Nakura, Makoto Ikeda, Kunihiro Asada, “On-chip di/dt Detector Circuit,” *IEICE Trans. on Electronics*, to be published, May 2005. (Chapter 4)
- Toru Nakura, Makoto Ikeda, Kunihiro Asada, “Feed-forward Active Substrate Noise Cancelling Technique using Power Supply di/dt Detector,” *IEEE/JSAP Symposium on VLSI Circuits*, submitted, June 2005. (Chapter 5)
- 名倉 徹, 大池 祐輔, 池田 誠, 浅田 邦博 “オフチップスタブを用いた LSI における電源ノイズ低減,” 電子情報通信学会ソサイエティ大会, C-12-1, pp.71, 2004 年 9 月 (Chapter 3)

学会発表

- Toru Nakura, Makoto Ikeda, Kunihiro Asada, “Theoretical Study of Stubs for Power Line Noise Reduction,” *IEEE Custom Integrated Circuit Conf.*, sess.31-4, pp.715-718, Sept. 2003. (Chapter 2)
- 名倉 徹, 池田 誠, 浅田 邦博 “スタブを用いた電源安定化手法,” 電子情報通信学会デザインガイア, p.217-222, 2003 年 11 月 (Chapter 2)
- Toru Nakura, Makoto Ikeda, Kunihiro Asada, “On-chip di/dt Detector Circuit for Power Supply Line,” *IEEE International Conf. on Microelectronic Test Structures*, sess.1-4, pp.19-22, March 2004. (Chapter 4)
- 名倉 徹, 池田 誠, 浅田 邦博, “回路設計技術の最新動向,” 第 18 回エレクトロニクス実装学術講演大会, pp.131-132, 2004 年 3 月
- Toru Nakura, Makoto Ikeda, Kunihiro Asada, “Power Supply di/dt Measurement using On-chip di/dt Detector Circuit,” *IEEE/JSAP Symposium on VLSI Circuits*, sess.7-4, pp.106-109, June 2004. (Chapter 4)
- Toru Nakura, Makoto Ikeda, Kunihiro Asada, “Preliminary Experiments for Power Supply Noise Reduction using Stubs,” *IEEE Asia-Pacific Conference on ASIC*, sess.13-7, pp.286-289, Aug. 2004. (Chapter 3)
- Toru Nakura, Makoto Ikeda, Kunihiro Asada, “Design and Measurement of On-chip di/dt Detector Circuit for Power Supply Line,” *IEEE Asia-Pacific Conference on*