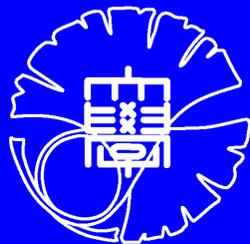

LSI 電源用 di/dt 測定回路コア

名倉 徹[#], 池田 誠^{*}, 浅田 邦博^{*}

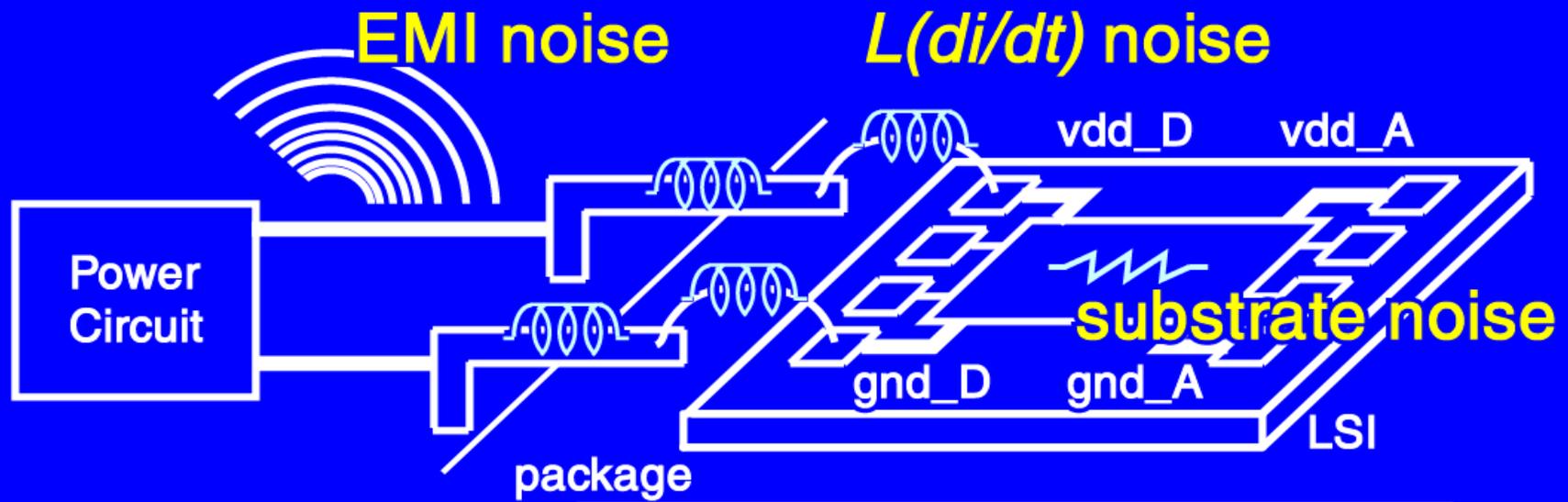


[#] 東京大学工学系研究科,

^{*} 東京大学 VDEC

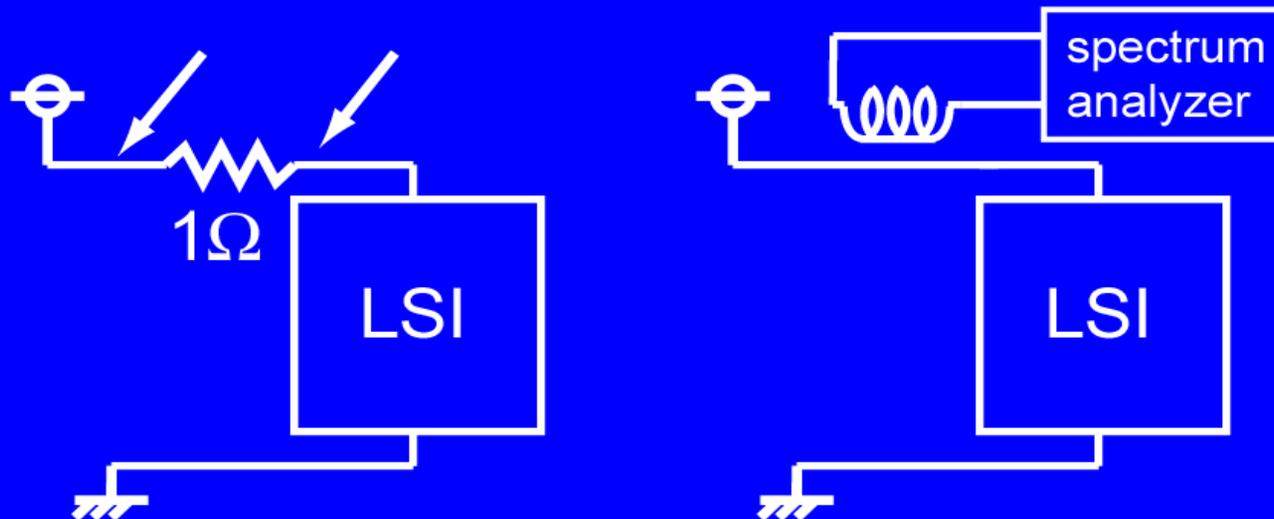
シグナルインテグリティと di/dt

- 電源ノイズ : $L(di/dt)$
- EMI ノイズ : di/dt によって発生
- 基板ノイズ : 電源ノイズと深い関係がある



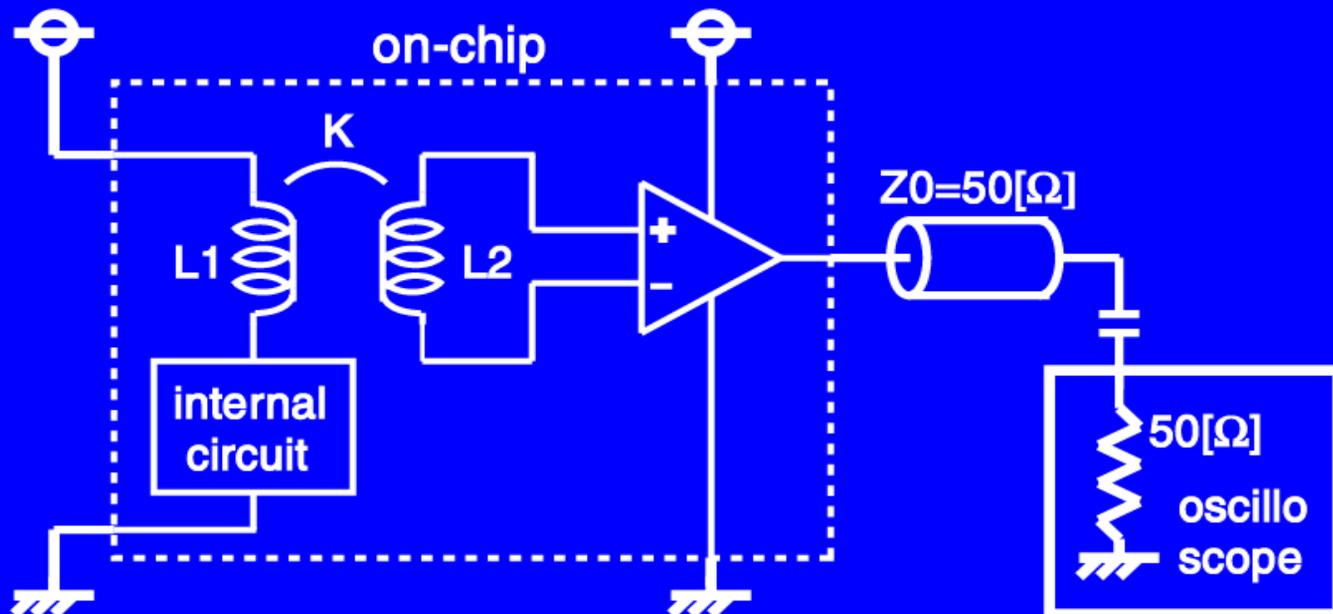
従来の電流測定法

- 抵抗両端の電圧降下を測定
 - 数値計算が必要
- コイルを用いた磁界測定
 - 位相情報がなくなる



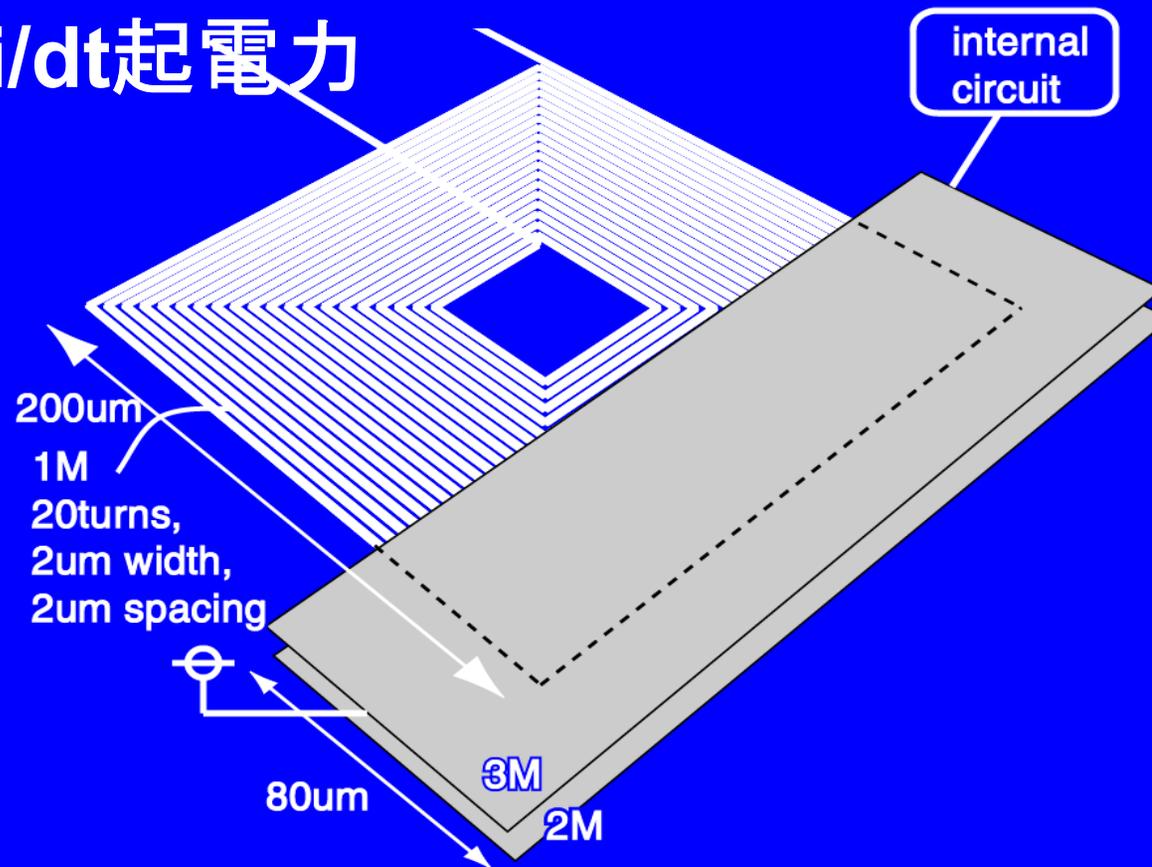
オンチップ di/dt 測定回路

- 磁界結合により, $L2$ の両端に di/dt に比例した誘導起電力を発生
 - 増幅器により, 誘導起電力を増幅して出力
- 利点: オンチップ, 実時間, 高帯域, 数値計算無し



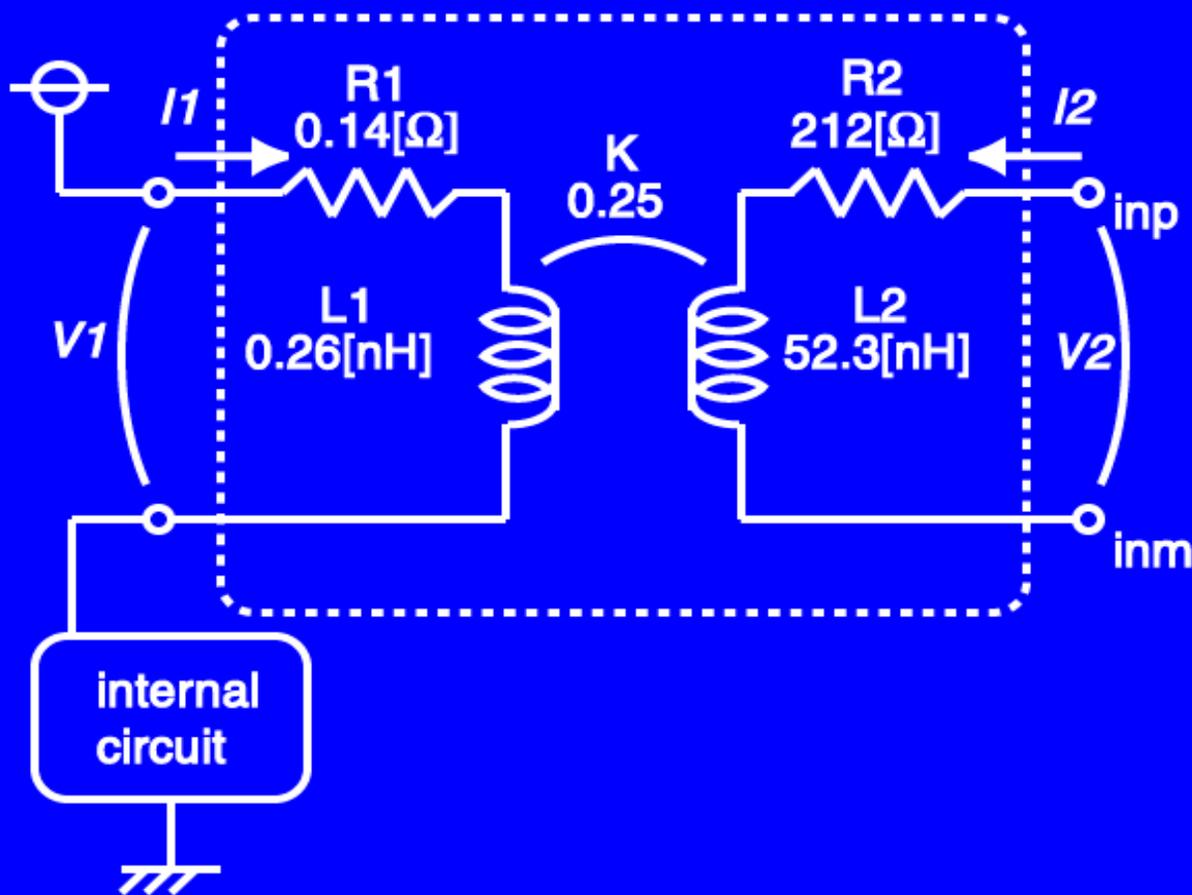
相互インダクタンス

- 1次側: 電源線に直列接続
→ 低インピーダンス
- 2次側: 十分な di/dt 起電力
→ 大きな L_2 と
大きな
結合係数



等価回路

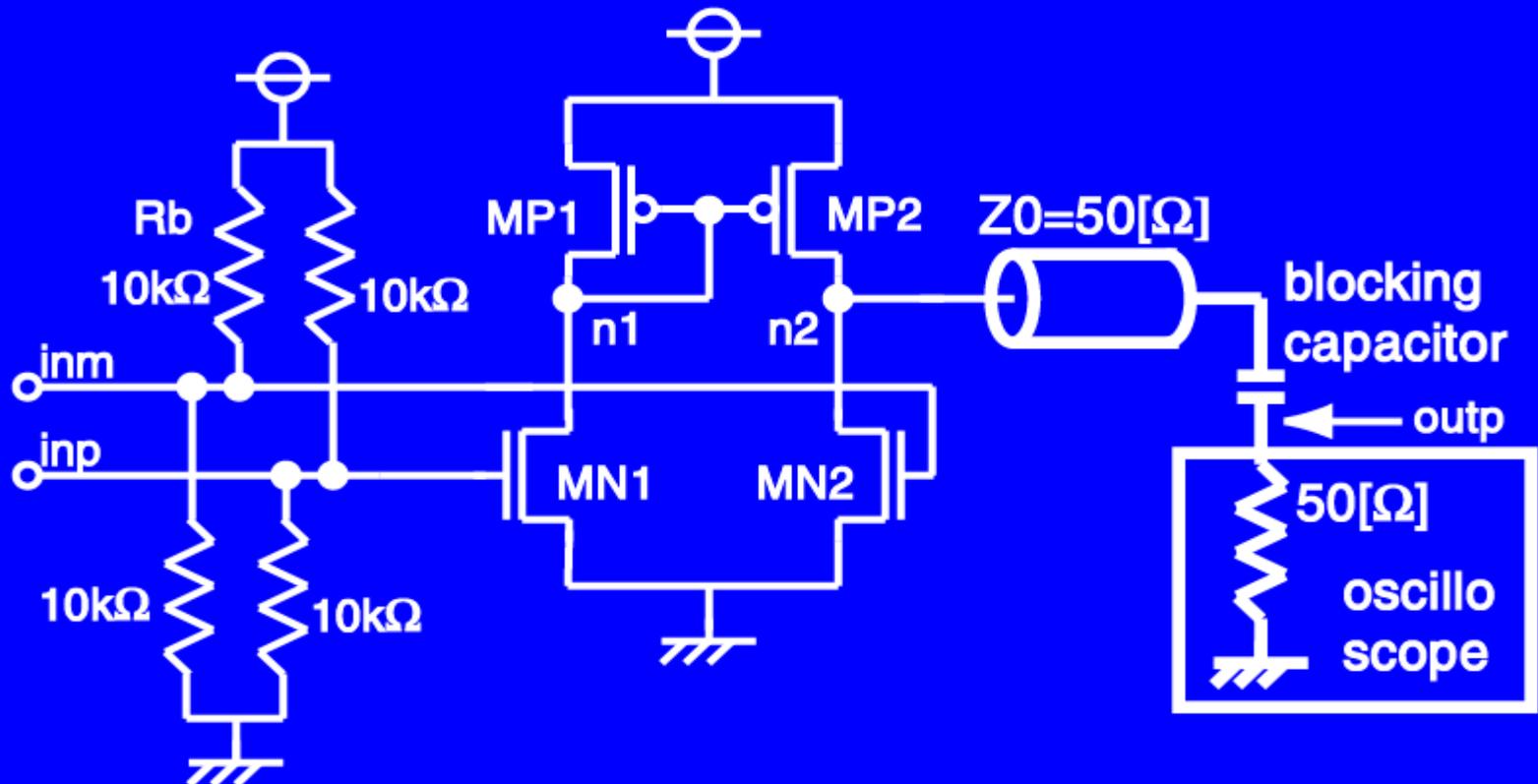
- FastHenry を用いて抽出



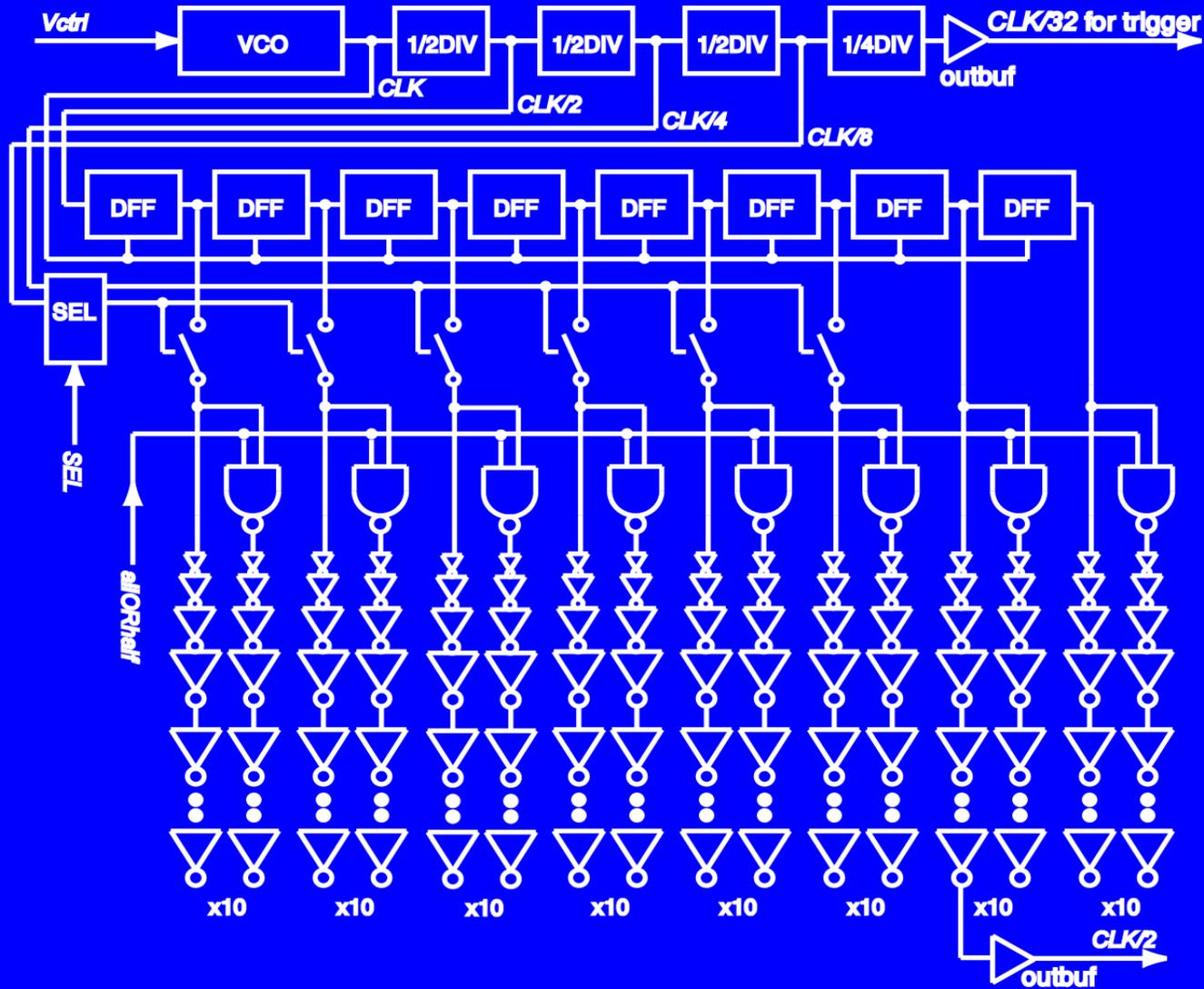
増幅器および出力バッファ

- 利得: 0.76, $f_{\text{cut-off}}$: 3.3GHz

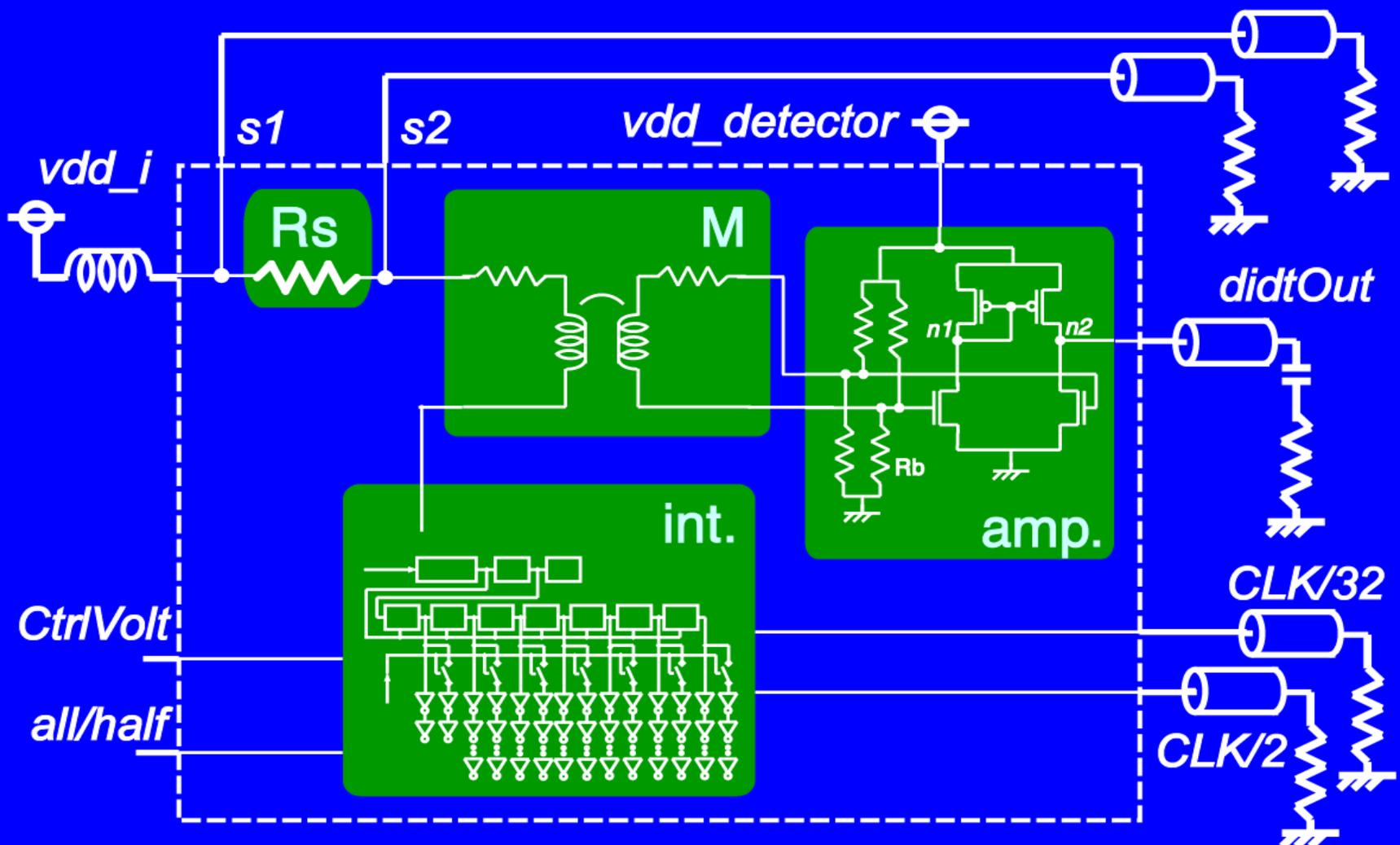
線形性: $\pm 0.35\text{V}$ (シミュレーション)



ノイズ源としての内部回路

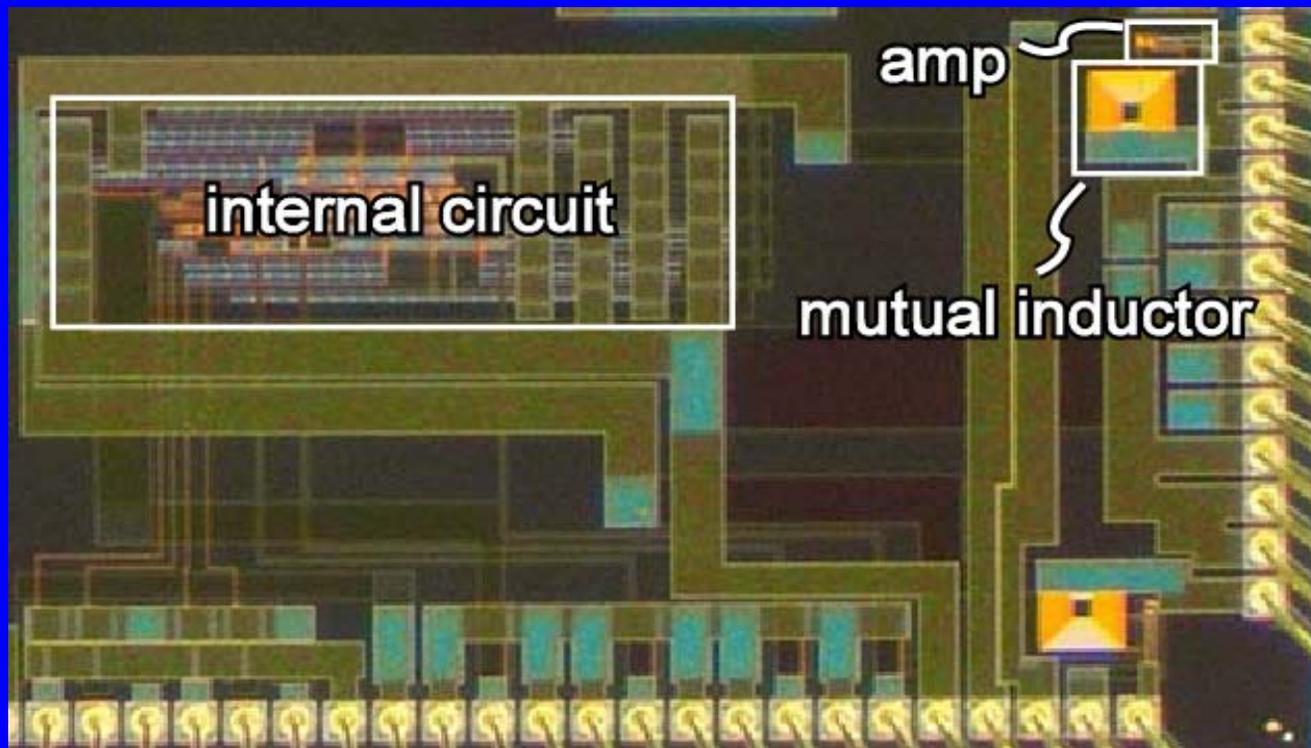


全体回路および測定系

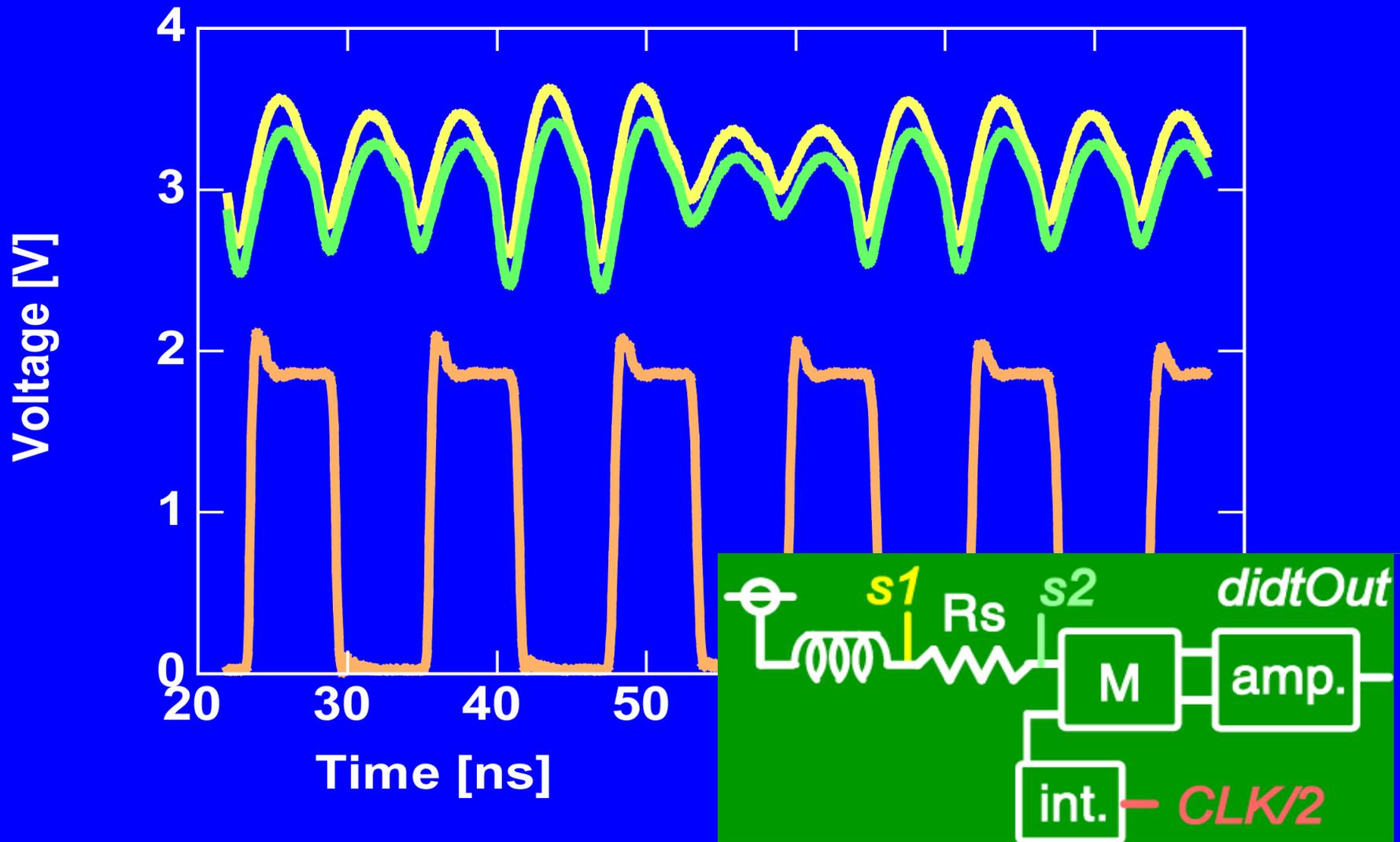


チップ写真

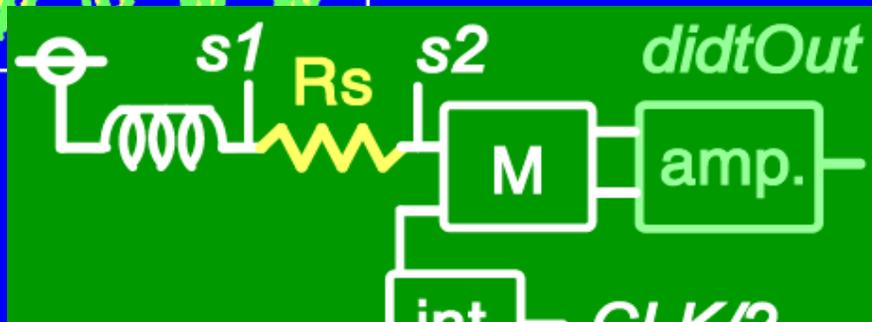
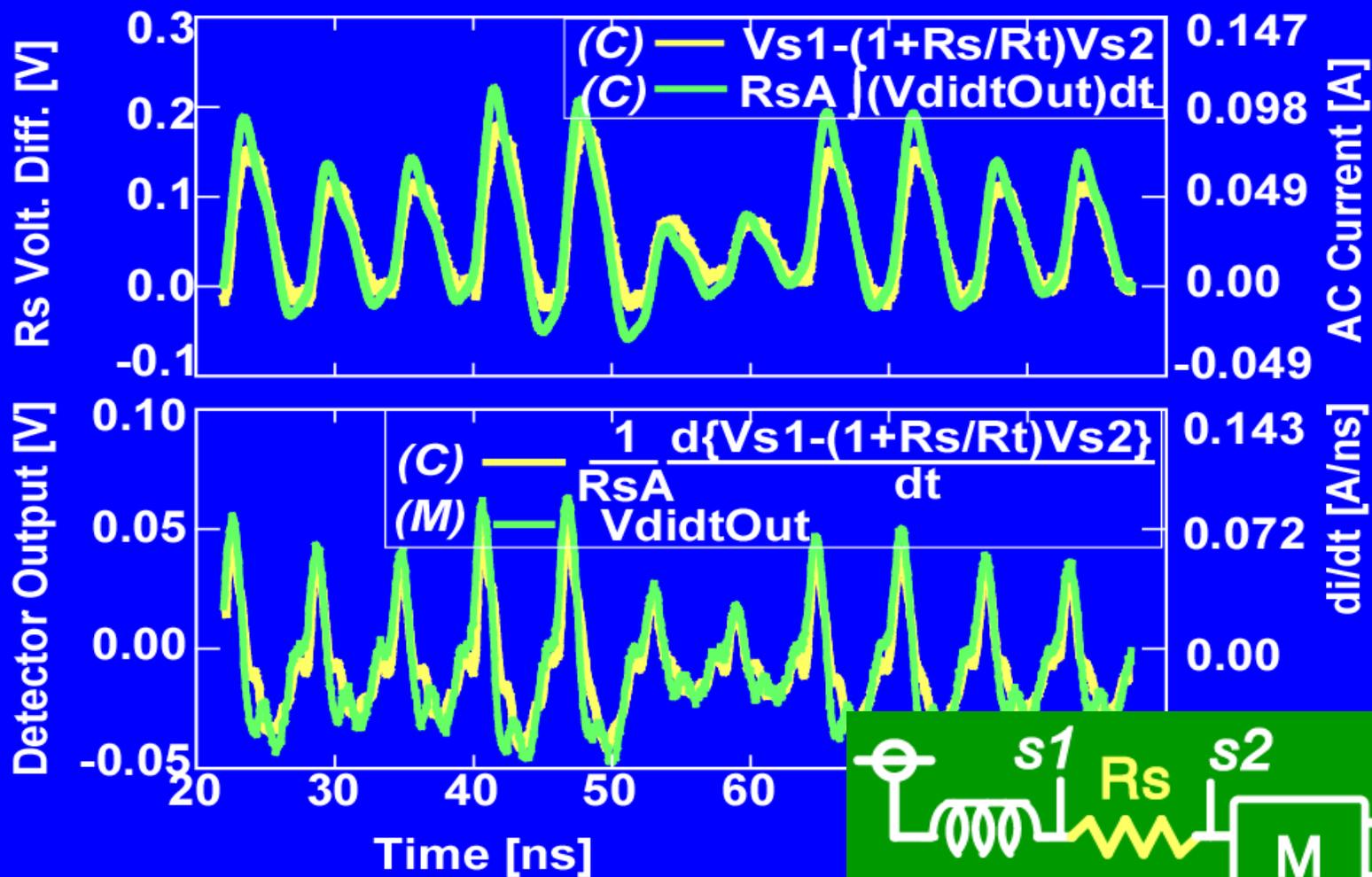
- 0.35 μ m 3ML 2P CMOS
 - 回路面積 : 3.0mm x 1.8mm.
 - di/dt測定コア : 340 μ m x 280 μ m



測定波形 #1

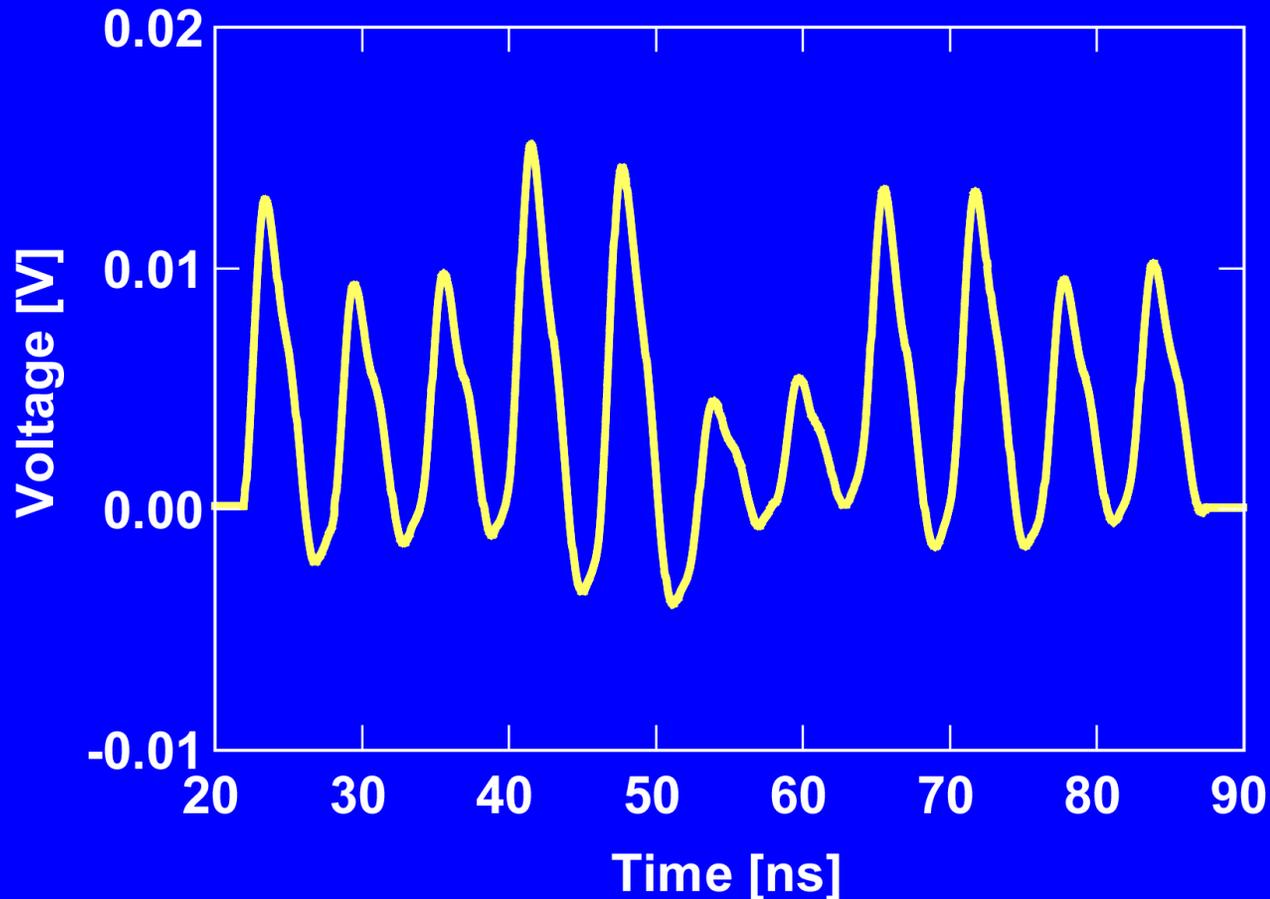


測定波形 #2



入力インピーダンス

- di/dt 測定コアによる電圧降下 (シミュレーション)



まとめ

- LSI電源のdi/dt測定回路コアを開発した
- 電源線とスパイラルインダクタ、増幅器で構成
- di/dt測定回路と抵抗の電圧降下との波形がよく一致
- di/dt波形を時間積分して電流波形も得られる
- 性能のまとめ

面積: 280um x 340um

必要ピン数: 3 (di/dt出力, 増幅器Vdd/Gnd)

入力インピーダンス: $R=0.14\Omega$, $L=0.26\text{nH}$

精度: 10mA/ns

測定可能範囲: $\pm 500\text{mA/ns}$

測定可能周波数: $f_{\text{cut}}=3.3\text{GHz}$

律則要因および将来性

- 増幅器の周波数応答
- 2次側コイルのインピーダンスと負荷容量
- 2次側コイルのインダクタンスと負荷・寄生容量との共振