

di/dt 検出回路を用いた基板ノイズ低減の最適化

名倉 徹[†] 風間 大輔^{††} 池田 誠[†] 浅田 邦博[†]

[†] 東京大学 VDEC 〒113-0032 東京都文京区弥生 2-11-16 武田先端知ビル

^{††} 東京大学大学院 工学系研究科 〒113-8656 東京都文京区本郷 7-3-1

E-mail: †{nakura,kazama,iked,asada}@silicon.t.u-tokyo.ac.jp

あらまし 本論文では、前研究により提案されている di/dt 検出回路を用いたフィードフォワード・アクティブ基板ノイズ低減手法に関して、さらなるノイズ低減に向けた検討について報告する。さらなるノイズ低減を実現するために、本研究では di/dt 検出回路を構成する要素ブロックのパラメータの解析を行うとともに、キャンセル信号注入場所の依存性や、DC ブロック容量の依存性などについても解析を行った。提案回路は 0.35 μ m CMOS プロセスを用いて実現した。キャンセル信号注入はノイズ源から遠いほど効果的であり、また、キャンセラーの利得を増やすことよりも、サイズの大きいインダクタを搭載する方が効果的であることを実験的に示した。

キーワード アクティブノイズ低減、基板ノイズ、di/dt

Study on Active Substrate Noise Cancelling Technique using Power Line di/dt Detector

Toru NAKURA[†], Taisuke KAZAMA^{††}, Makoto IKEDA[†], and Kunihiro ASADA[†]

[†] VDEC, The University of Tokyo Yayoi 2-11-16, Bunkyo-ku, Tokyo, 113-0032, Japan

^{††} Faculty of Engineering, The University of Tokyo Hongo 7-3-1, Bunkyo-ku, Tokyo, 113-8656, Japan

E-mail: †{nakura,kazama,iked,asada}@silicon.t.u-tokyo.ac.jp

Abstract This paper demonstrates study on a feedforward active substrate noise cancelling technique using a power supply di/dt detector. Our past study realized substrate noise canceling using the di/dt detector. For further substrate noise reduction, this study analyses the parameters which constitute a di/dt canceller, such as a distance dependence of a noise injection point from a noise source, and DC blocking capacitance. The test chip was fabricated using 0.35 μ m CMOS technology. It is shown that the cancel signal gets more effective as the distance from the noise source and the noise injection points gets longer. It is also shown that it is more effective to use a large inductance rather than a large amplifier of the canceller.

Key words active noise reduction, substrate noise, di/dt

1. 序 論

近年の LSI の微細化と、無線通信・携帯電話の普及に伴いシステムオンチップ (System on Chip : SoC) の需要が非常に高まっている。SoC のようなデジタル回路とアナログ回路が混載するミックスドシグナル回路においては、シグナルインテグリティが非常に重要となってきている。特にデジタル回路が発生するノイズが同一基板内を通じてアナログ回路の性能を落とすノイズは基板ノイズと呼ばれ、ノイズ耐性の低いアナログ回路の設計においては非常に重要な要素となっている。アナログ回路の電源線はデジタル回路の電源線と隔離されているが、デジタル回路の高速なスイッチング動作によって生じるノイズは同

一基板内を伝搬しアナログ回路に悪影響を与える。これにより、設計時に予想される利得・周波数帯域が得られない、またはクロックジッタを増加させるといった影響を及ぼし、結果チップ全体の歩留まりを低下させる要因となる。

一般的にこのような基板ノイズを低減するためにはガードリングやトリプルウェルなどの受動的素子が用いられる。しかし高速な LSI においては、ガードリングの場合ガードリング自身の寄生インダクタンスによってノイズを吸収する効果が減衰し、トリプルウェルにおいてはノイズをブロックする容量効果が減衰するため、このような受動素子では十分なノイズ低減が期待できなくなる。

このような背景から、能動回路を利用して基板ノイズを低減

する手法が検討されている [1][2]。従来法では、基板ノイズをリアルタイムでモニタリングを行い反転増幅器などを用いてノイズと逆相の信号を生成し注入するという手法である。この手法は基板電圧の安定化において効果的な手法であるが、増幅器の遅延により動作周波数帯域が狭くなり、論文 [1] では $0.35\mu\text{m}$ プロセスにおいて数 MHz の遮断周波数に満たない。さらに、キャンセル信号の振幅が基板ノイズに比例するため、このようなフィードバック系のシステムは不安定な挙動を示す場合もある。

このような背景から、フィードバック系に依らない広帯域で動作可能な安定な基板ノイズキャンセラーとして、我々は di/dt 検出回路を用いたアクティブ基板ノイズ安定手法を提案してきた [3]。本研究では、より効果的に基板ノイズを低減する di/dt キャンセラーを実現することを目的とし、各要素ブロックのパラメータを変動させ、基板ノイズの低減量について測定し、最適化の指針とする。

2. di/dt キャンセラー回路設計とその解析

2.1 di/dt キャンセラーの概念

基板電位をグラウンドレベルに安定させるため、基板はグラウンドラインに接続されているが、これにより、基板電圧はグラウンドラインの電圧変動（グラウンドバウンス）の影響を強く受ける [4]。グラウンドバウンスは、デジタル回路の過渡的に流れる電流 I とグラウンドラインのインピーダンス ($Z = R + j\omega L$) の乗算によって表現され、回路の動作周波数が高くなると $L(di/dt)$ による電圧ドロップが顕著になると言われる。論文 [5] では、この仮定を示すように基板ノイズがグラウンドバウンスの約 8 分の 1 の形の波形が得られることが示されており、より高周波では基板ノイズは di/dt に比例したノイズ波形を示すと考えられる。このような di/dt に比例した信号は di/dt 検出回路を用いることで生成可能であることが知られており [6]、 di/dt 検出回路を用いたフィードフォワード式基板ノイズ低減手法の概念図を図 1 に示す [3]。 di/dt 検出回路は 2 次側のインダクタの両端に 1 次側に流れる電流の時間変化 dI_1/dt に比例した電圧を誘起する。先に述べたように基板ノイズは di/dt に比例することから、図 2 に示すように 2 次側のインダクタを反転増幅器に接続することによって di/dt に比例した逆位相のキャンセル信号を生成することが可能となる。このキャンセル信号を元の基板ノイズに適切な位相で注入することができれば、基板ノイズを低減することが可能となる。

2.2 di/dt キャンセラーの可能性

基板ノイズは前章で述べたとおり、グラウンドバウンスによって支配的に発生し、そのノイズは $IR_{gnd} + L_{gnd}(di/dt)$ に比例する。 di/dt キャンセラーの利得を変化させながら基板ノイズの位相変化を測定した結果を図 3 に示す。横軸は IR 成分を表し、縦軸は $L(di/dt)$ 成分を表す。キャンセラーの利得を大きくすると基板ノイズの位相が徐々に変化しており、これは di/dt の変化に起因することがわかる。つまり di/dt キャンセラーによって基板ノイズの di/dt 成分のみの低減が可能となり、より高い利得を持ったキャンセラーを搭載することによって、図 3

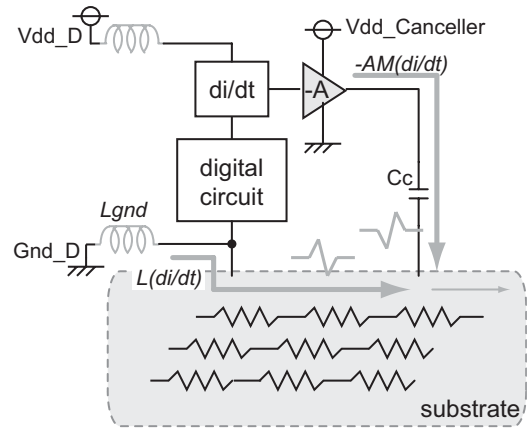


図 1 di/dt キャンセラーの概念図。

Fig. 1 Proposed diagram of the di/dt substrate canceller.

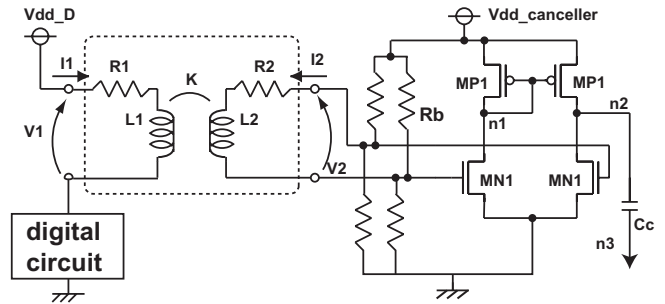


図 2 di/dt キャンセラーの構成。

Fig. 2 Proposed diagram of the di/dt substrate canceller.

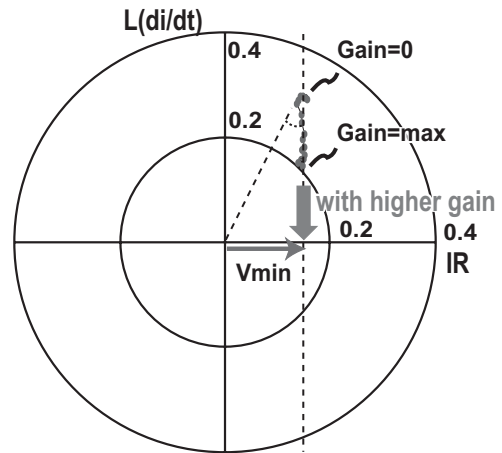


図 3 基板ノイズの位相変化。

Fig. 3 Phase change of substrate noise.

の場合で最大 60% の基板ノイズが低減できることがわかる。

3. 複数 di/dt 検出回路を搭載した高利得キャンセラー

増幅器の利得を上げるためにトランジスタサイズを大きくすると、増幅器ゲートの入力容量と 2 次コイルの寄生抵抗による LP 特性によって位相特性が著しく劣化する。位相特性はノイズをキャンセルする上で最も重要な特性であり、利得を大きくすることが難しい。

このような考察から、周波数軸上での位相特性の良い di/dt

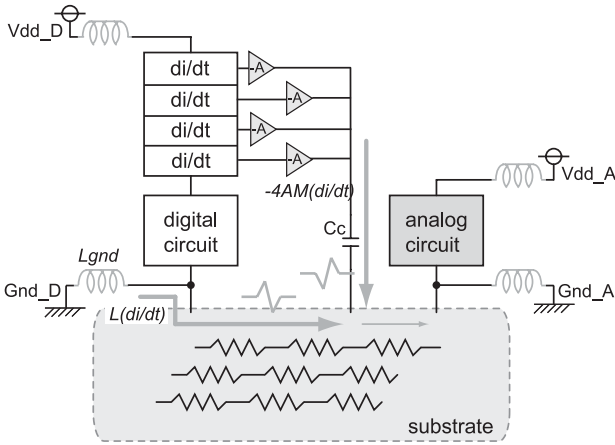


図 4 複数 di/dt 検出回路を用いた高利得キャンセラーの概念図
Fig. 4 Diagram of the multiple di/dt canceller.

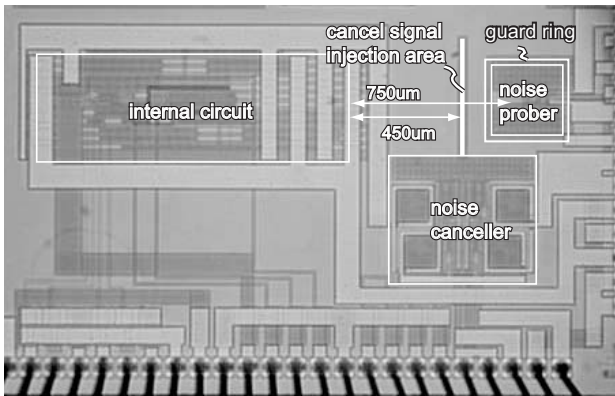


図 5 di/dt キャンセラーのチップ写真。0.35 μm CMOS プロセス
Fig. 5 Chip microphotograph of the multiple di/dt canceller, using 0.35 μm CMOS process. The area is 3.0mm \times 1.8mm.

キャンセラーを複数搭載し、利得を調整することができるシステム系を構築した。図 4 に概念図を示す。各 di/dt キャンセラーは独立にキャンセル信号を生成することができるので、位相特性を小さく保ったまま利得を高くすることが可能となる。入力 (1 次側に流れる電流) はキャンセラーとは独立であるため、キャンセル信号は di/dt キャンセラーの数に比例する。本提案回路は 0.35 μm 標準 CMOS プロセスを利用して設計を行い、設計したチップ写真を図 5 に示す。レイアウトサイズは 3.0mm \times 1.8mm である。基板ノイズは左に示したノイズ源 (internal circuit) によって発生され、基板内を伝搬する。右側に設けたノイズプローブはオフチップ観測用に搭載し、基板ノイズを増幅している。ノイズプローブはノイズ源から 750 μm 離れたところに位置している。キャンセル信号を注入する位置はその中間に配置し、ノイズ源から 450 μm 離れている。ノイズ源は DFF とインバータチェーンの組み合わせによって設計され、クロック毎に電流を消費する仮想的なデジタル回路を想定している。測定ではキャンセラーを ON/OFF しながら、プローブの出力である基板ノイズの測定を行った。

4. 基板ノイズの測定結果

ノイズ源の動作周波数を 300MHz に設定した時に、キャン

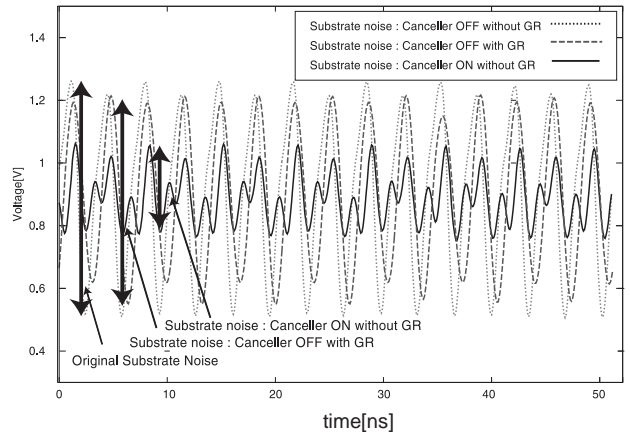


図 6 基板ノイズ波形 (キャンセラー OFF/ON、ガードリング ON)
Fig. 6 Waveform of substrate noise.

セラーをオフ時/オン時の基板ノイズの様子を図 6 に示す。横軸は時間、縦軸はプローブの出力電圧値を示している。プローブは HSPICE によるシミュレーションによると 7.5 倍程度の利得を有している。キャンセラーのオフ時/オン時というのは、図 2 に示す $V_{dd_canceller}$ が 0V の時の基板ノイズの様子と $V_{dd_canceller}$ をスイープして最も基板ノイズが低減した時の基板ノイズの様子を示している。

これについて以下に説明する。

測定はキャンセラーの電源電圧 $V_{dd_canceller}$ をスイープし、キャンセラーの利得を変動させている。図 7 に示すようにキャンセラーの電源電圧を 0V から徐々に大きくしていくと、1.3V あたりから基板ノイズの振幅が急激に減少する。これは反転増幅器が線形状態に入ったものと考えられる。1.6V あたりになると基板ノイズは一定値に収束し、それよりもキャンセラーの利得を高くすると、逆に基板ノイズの振幅が徐々に増加していく様子が見てとれる。これは、キャンセル信号が過注入になっていることが考えられる。つまり、キャンセラーを ON した場合には基板ノイズがもっとも減衰する極小点が見られることになり、先ほど図 6 で示したキャンセラー ON というのはこのときの状態を指している。

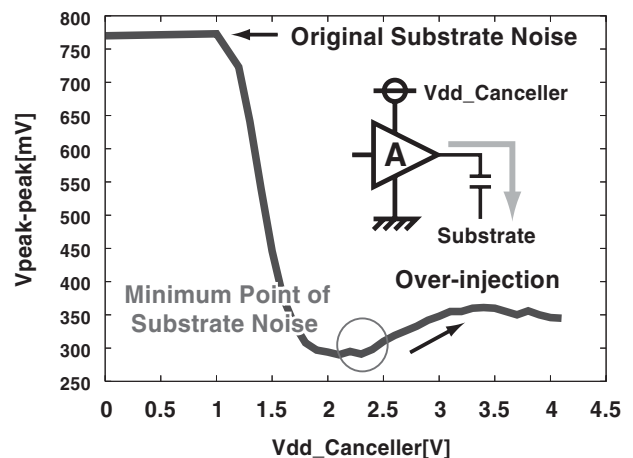


図 7 基板ノイズの振幅の変化
Fig. 7 Change of amplitude of substrate noise.

図6から分かるように、ノイズの振幅に注目すると、di/dt キャンセラーを ON した場合は最大で 62% のノイズが低減できることがわかった。一方で、プローブを囲んだガードリングを接地した場合には 12% のみのノイズ低減が見られ、di/dt キャンセラーのほうがより有効な基板ノイズ低減効果を有していることがわかった。

5. di/dt キャンセラーにおけるパラメータ依存性

前節では複数のキャンセラーを搭載することでキャンセラーの利得を上げ、最大で 62% のノイズが低減できることを実証した。ここでは複数の異なる di/dt キャンセラーの TEG (Test Element Group : 特性評価用素子) を設計し、その効果を解析解析した。

5.1 能動的基板ノイズ低減手法の距離依存性

ここではフィードフォワード型・能動的ノイズ低減手法において、キャンセル信号を注入する最適な位置について検討する。キャンセル信号を注入する最適な位置を検討することは、より小さな利得で十分なキャンセル信号を生成できることを期待させる。設計した TEG はノイズ源の右端のコンタクトから表1に示してある距離だけ離れたところにメタルから P+コンタクトで P 基板にキャンセル信号を注入するように設計した。図8にノイズ源の動作周波数を変化させながら測定した基板ノイズの低減率を示す。横軸は対数表示でノイズ源の動作周波数を表す。ここで、各低減率はキャンセラーがオフ時の場合の基板ノイズの振幅と図7に示すようなノイズ振幅の最小値との比を指す。図8を見て分かるように、注入位置がノイズ源に近いほど基板ノイズの低減率が低く、注入位置がノイズ源から離れるにしたがって基板ノイズの低減率が一定値に飽和することがわかる。この結果を解析するために、各チップのノイズ源の動作周波数を 150MHz に設定した際の基板ノイズの変化を観測した。注入位置の異なる各キャンセラーにおいて、キャンセラーの利得を変動させ、基板ノイズの振幅を測定すると図9のような実験結果が得られた。利得はキャンセラー電源電圧を変動することによって調整した。注入位置がノイズ源からそれぞれ 350、450、550 μm 離れている場合、キャンセラーの利得を高くすると基板ノイズの振幅が減少し、ある点で飽和する様子が見られる。一方、ノイズ源に最も近い 150 μm の場合、この飽和が見られない。さらにノイズ源から 350、450、550 μm 離れている場合において、キャンセラーとノイズ源の距離が離れれば離れるだけ「より小さな」利得で基板ノイズが最小値に達する様子が見られる。

前章にでも述べたように、基板は抵抗網としてモデル化する

表1 注入位置の異なる TEG

	Distance from Noise Source
Position1	150 μm
Position2	350 μm
Position3	450 μm
Position4	550 μm

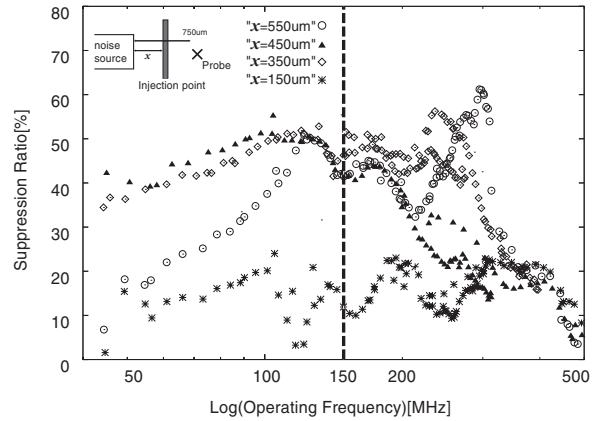


図8 ノイズ低減率の距離依存性

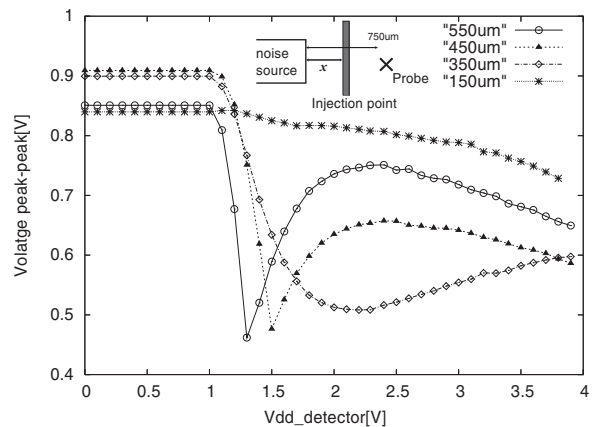


図9 ノイズ低減効果の距離依存性 @ $f_{op} = 300\text{MHz}$

表2 消費電力の距離依存性

	Noise Source	350 μm	450 μm	550 μm
Power	110mW	122mW	13.8mW	3.8mW
Ratio (Canceller/Noise)	100%	111%	12.5%	3.45%

ことができる。そのためノイズ源から発生したノイズは減衰しながら伝搬していく。したがって距離が離れるほど基板ノイズは減衰するので、小さい利得で十分なノイズ低減を実現することができる。このことは「より小さな面積」でキャンセラーを構成することが可能であることが期待され、さらに消費電力においても「より低消費」で実現できることがわかる。表2に動作周波数 150MHz の時の消費電力の比較を示す。表ではノイズが最小値になったときのキャンセラーの消費電力を表し、比率はノイズ源の消費電力に対するキャンセラーの消費電力の割合を表す。ノイズ源に対して消費電力は遠くなればなるほど低い利得でノイズを低減できるので、低い消費電力で基板ノイズをキャンセルできることがわかった。

5.2 カップリング容量の解析と基板抵抗の推定

出力のカップリング容量 (図2における C_c) は基板抵抗と HPF (High Pass Filter : 高域通過フィルタ) を形成する。そのハイパス特性は入力信号 $V_{HPF_{in}}$ と出力信号 $V_{HPF_{out}}$ を用いて

$$V_{HPF_{out}} = \frac{1}{1 + j\omega R_{sub} C_c} V_{HPF_{in}} \quad (1)$$

表 3 設計した TEG の種類

	W_{nAMP}	W_{pAMP}	L_1	L_2	M	C_c
C_c	200 μm	400 μm	0.41nH	53.3nH	3.23nH	54.0pF
$2C_c$	200 μm	400 μm	0.41nH	12.1nH	3.23nH	89.9pF
$1/2C_c$	200 μm	400 μm	0.41nH	12.1nH	3.23nH	18.1pF
$1/4C_c$	200 μm	400 μm	0.41nH	12.1nH	3.23nH	9.1pF

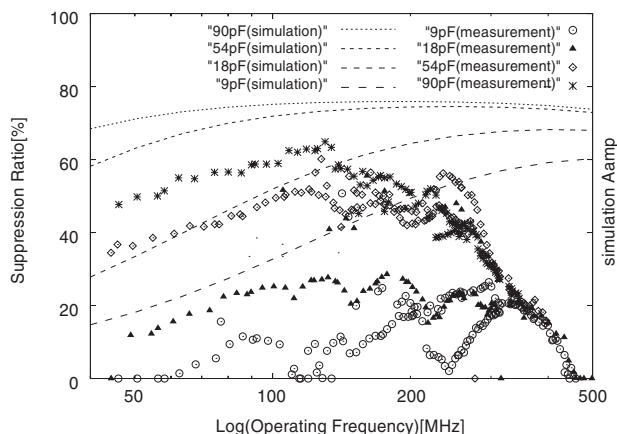


図 10 異なるカップリング容量によるノイズ低減効果の違い

であると想定されるため、設計したカップリング容量から基板抵抗を推定することができる。設計した TEG は表 3 に示してある。 W_{nAMP} 、 W_{pAMP} はそれぞれ増幅器の NMOS と PMOS のトランジスタサイズ、 L_1 と L_2 はそれぞれ 1 次側と 2 次側のインダクタサイズ、 M は L_1 と L_2 の相互インダクタンス、 C_c はキャンセラーの出力端のカップリング容量サイズを表す。測定結果を図 10 に示す。結果から分かるように容量が高いほど高い低減効果を示すことを示していることがわかる。

ここでカップリング容量を 54pF と 90pF に設定した場合、動作周波数 220MHz の時にノイズ低減効果が等しくなる。この測定結果をシミュレーションを用いて検討する。4Tr で構成される差動増幅器を 4 つ並列接続し、負荷にカップリング容量と基板抵抗を接続し、出力の HP 特性について調べた。ここで基板抵抗は可変抵抗をモデルとし、注入位置から基板が負荷としてどの程度の抵抗に見えるかについて検討した。シミュレーション結果では抵抗は 20 Ω 程度を想定した時、測定結果と同等の HP 特性を示すことが確認できた (図 10)。単一の di/dt キャンセラーの場合、HP 特性は基板抵抗と増幅器のオン抵抗の並列に接続した抵抗成分によって決まる。よって基板抵抗と同程度まで増幅器のサイズを大きくした場合、特性は増幅器のオン抵抗の影響が無視できなくなり、増幅器のオン抵抗と基板抵抗の並列抵抗によって決まる。さらに今回のように複数の di/dt キャンセラーを実装したことにより増幅器のオン抵抗は並列接続になるため、単一の場合よりも高いカットオフ周波数を示すようになる。これによりキャンセラーはより大きなカップリング容量が必要になる。

今回の実験では、100MHz 以上の基板ノイズに対しては 100pF 以上のカップリング容量が必要であることがわかった。

5.3 複数 di/dt キャンセラーの利得の解析

ここではサイズの異なるキャンセラーを測定することで、di/dt キャンセラーの特性について解析する。表 4 に実際に設計したチップの種類を示す。 W_{nAMP} 、 W_{pAMP} はそれぞれ増幅器の NMOS と PMOS のトランジスタサイズ、 L_1 と L_2 はそれぞれ 1 次側と 2 次側のインダクタサイズ、 M は L_1 と L_2 の相互インダクタンス、 C_c はキャンセラーの出力端のカップリング容量サイズを表す。以下ではキャンセラーのサイズを変更したときの基板ノイズ低減率を測定し、前章でのシミュレーションのキャンセラーの特性との比較する。図 11 から分かる通り、低い周波数ではトランジスタサイズを大きくするとキャンセラーの低減率はある一定の値で飽和することがわかる。一方で、図 12 に 150MHz におけるキャンセラーの利得と

表 4 設計した TEG の種類

	W_{nAMP}	W_{pAMP}	L_1	L_2	M	C_c
$2W_{AMP}$	400 μm	800 μm	0.41nH	53.3nH	3.23nH	54.0pF
$1/2W_{AMP}$	100 μm	200 μm	0.41nH	53.3nH	3.23nH	54.0pF
$1/4W_{AMP}$	50 μm	100 μm	0.41nH	53.3nH	3.23nH	54.0pF
Std	200 μm	400 μm	0.41nH	53.3nH	3.23nH	54.0pF
$1/2L_2$	200 μm	400 μm	0.24nH	26.4nH	1.63nH	54.0pF
$1/4L_2$	200 μm	400 μm	0.14nH	12.1nH	0.78nH	54.0pF

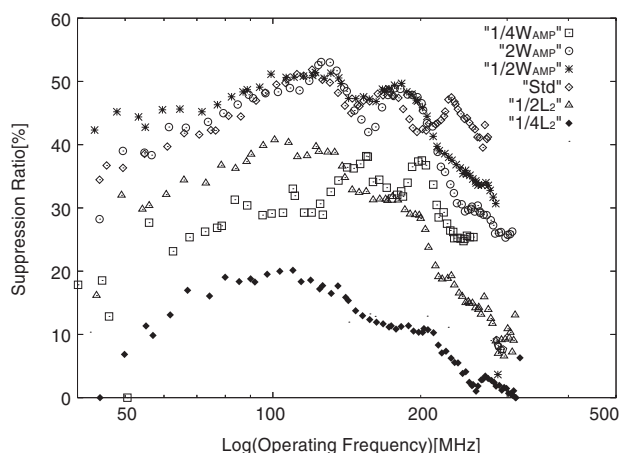


図 11 サイズの異なるキャンセラーのノイズ低減率の違い

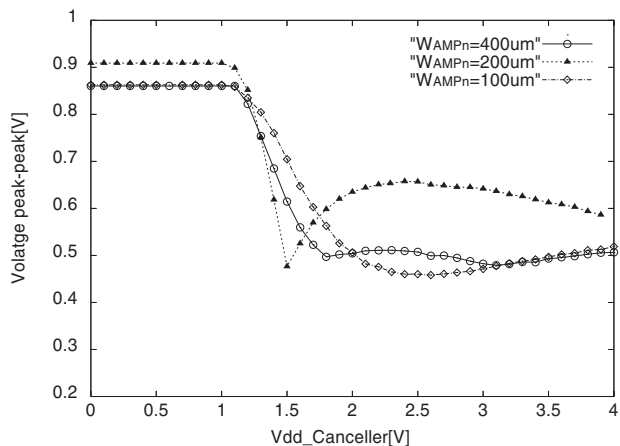


図 12 キャンセラーの利得 vs. ノイズ振幅変化

基板ノイズの振幅の関係をプロットすると、増幅器のサイズを大きい場合よりも、小さい増幅器のほうが低い利得で最小点に達した。図3に示す di/dt キャンセラーの特性は基板抵抗が増幅器のオン抵抗に比べて十分に小さいという仮定で成立する。この仮定においては負荷抵抗の基板が非常に低インピーダンスであるために、キャンセラーの利得は増幅器のトランスコンダクタンスのみに依存することになる。しかしながら、前節のカップリング容量と基板抵抗による HP 特性を検証した結果、複数のキャンセラーを搭載した場合は増幅器の出力インピーダンスは基板抵抗と同等程度まで低くなっていることがわかる。このように増幅器のサイズを大きくしトランジスタのオン抵抗が基板抵抗と同程度近くまで低くなったとき、キャンセラーの利得は増幅器のトランスコンダクタンスと出力インピーダンスの乗算で表されるために、必ずしも増幅器のサイズに比例しない。さらに高周波領域においては入力側の LRC 特性によってキャンセル信号の位相回転が大きくなる。また前節より、より大きなキャンセラーはより高い HP カットオフ周波数を持つことがわかる。これらの影響からトランジスタサイズを大きくすることとキャンセラーの数を増やすことによって得られる利得は基板抵抗によって律速され、またその位相特性は LP 特性・HP 特性ともに劣化する。

このことから複数キャンセラーを搭載してもキャンセラーの利得はキャンセラーの数に比例しなくなることがわかる。

一方でインダクタのサイズを 2 分の 1、4 分の 1 に下げると、低減率も同様に 2 分の 1、4 分の 1 になっている様子がわかる。つまり増幅器側で利得を稼ぐよりも、キャンセラーの入力信号を大きくすることの方がより大きなキャンセル信号を生成できることがわかる。

すなわち、

- ノイズ源の近くでは十分にノイズを低減することができない。
- 複数の di/dt キャンセラーを搭載する場合、基板抵抗と同程度まで出力抵抗が低くなり、より大きなカップリング容量が必要になる。
- キャンセラーの出力抵抗が基板抵抗と同程度まで下がることで、キャンセラーの利得はキャンセラーの数に比例しなくなる。
- サイズの大きい増幅器を搭載するよりも、サイズの大きいインダクタを搭載するほうがより大きなキャンセル信号を生成できる。

ことが分かる。

6. 考察

6.1 面積オーバーヘッド

先に述べたように、高い利得を得るためには 1 次側の電源線と高い結合が必要となり、必然的に 2 次側のインダクタのサイズは大きくなる。インダクタサイズとその個数は 1 次側に流れる電流 I_1 とデジタル回路が発生する基板ノイズの量によって決定され、インダクタの面積が支配的になることは必然である。しかしながらスケーリングにより動作周波数が高くなると、電

流の時間変化 di/dt も増加するので 2 次側の誘電起電力は大きくなる。このことは「少ない小さい」インダクタで十分なキャンセラーが実現できることを期待させる。

6.2 インピーダンス依存性

di/dt キャンセラーは基板ノイズの di/dt 成分を集中して低減しているため、図7に示すように、あるところで最小点がある。これはキャンセラーの周波数特性によるものも考えられるが、抵抗成分によって生じる IR 成分が除去できていないことが考えられる。つまり di/dt キャンセラーのノイズ低減効果はキャンセラーの利得と同時に、そもそもグラウンドのインピーダンス分布に強く依存する。一方で、電源のインピーダンスはボード、パッケージ、オンチップ上の配線がそれぞれの寄生インダクタンスと寄生容量による共振特性を示すことが知られており、これらの電源モデルを正確に抽出することは非常に難しいとされている。これらのことから、設計者が設計時に di/dt キャンセラーによるノイズ低減効果を予想しにくいという問題点がある。またグラウンド線が抵抗成分によって支配的な場合では、 di/dt キャンセラーは十分な基板ノイズ低減が期待できない。

7. 結論

本論文では、 di/dt 検出回路を用いたフィードフォワード・アクティブ基板ノイズ低減手法に関して、さらなるノイズ低減を実現するために、 di/dt 検出回路を構成する要素ブロックのパラメータの解析を行うとともに、キャンセル信号の注入距離の依存性や、DC ブロック容量の依存性などについても解析を行った。提案回路は $0.35\mu\text{m}$ CMOS プロセスを用いて実現した。キャンセル信号はノイズ源から遠いほど効果的であり、また、キャンセラーの利得を増やすことよりも、サイズの大きいインダクタを搭載する方が効果的であることを実験的に示した。

文献

- [1] Keiko Makie-Fukuda, Satoshi Maeda, Tosihro Tsukada and Tatsuji Matsuura, "Substrate Noise Reduction using Active Guard Band Filters in Mixed-Signal Integrated Circuits," *IEEE trans, Fundamentals*, pp.313-320, Feb. 1997.
- [2] Y.Komatsu et al. "Substrate-Noise and Random-Fluctuations Reduction with Self-Adjusted Forward Body Bias," *IEEE Custom Integrated Circuits Conference*, 2005.
- [3] Toru Nakura, Makoto Ikeda and Kunihiro Asada, "Feed-forward Active Substrate Noise Cancelling Technique using Power Supply di/dt Detector," in proc. of *IEEE Symposium On VLSI Circuits* pp.284-287, June 2004.
- [4] M.Heiajningen et al. "Analysis and Experimental Verification of Digital Substrate Noise Generation for Epi-Type Substrates," *IEEE Journal of Solid-State Circuits*, 2000.
- [5] Makoto Takamiya, Masayuki Mizuno and Kazuyuki Nakamura, "An on-chip 100GHz-sampling 8-channel sampling oscilloscope with embedded sampling clock generator," *IEEE International Solid-State Circuits Conference, Dig. Tech. Papers*, pp.182-183, Feb. 2002,
- [6] Toru Nakura, Makoto Ikeda and Kunihiro Asada, "Power Supply di/dt Measurement using On-chip di/dt Detector Circuit," in proc. of *IEEE Symposium On VLSI Circuits*, pp.106-109, June 2004.
- [7] 木村智寿, 奥村万規子, "基板抵抗網モデルの抽出," 電子情報通信学会信学技報, VLD98-83, pp.81.87, 1998 年 10 月.